

1. Describa el funcionamiento del pipeline, indique que se entiende por profundidad del pipeline. ¿Qué problemas pueden surgir que reducen la eficiencia del pipeline, es posible corregirlos siempre?
2. Describa las características más representativas de una arquitectura RISC. ¿Por qué el uso del pipeline en este tipo de microprocesador puede resultar más eficiente?
3. Describa el método de correspondencia directa para el cache, de al menos tres ejemplos de cómo se realiza. Indique que desventajas presenta.
4. Describa una arquitectura Harvard. ¿Dónde se mapean los registros?
  
5. ¿Qué propiedades importantes puedo encontrar en el procesamiento vectorial?
  - El cálculo de cada resultado es independiente de los cálculos de los resultados anteriores, permitiendo un gran nivel de segmentación sin generar ningún riesgo por dependencia de datos. Los riesgos por dependencia de datos los ha resuelto el compilador o el programador que ha decidido que sea una operación vectorial.
  - Una simple instrucción vectorial especifica una gran cantidad de trabajo (equivalente a ejecutar un bucle completo). El requerimiento de anchura de banda de las instrucciones es reducido y el cuello de botella de Flynn se reduce considerablemente.
  - Las instrucciones vectoriales que acceden a memoria tienen un patrón de acceso conocido. Si los elementos de vector son todos adyacentes, extraer el vector de un conjunto de bancos de memoria entrelazados funciona muy bien. Además se obtiene un alto rendimiento en la jerarquía de memoria.
  - Como se sustituye un bucle completo por una instrucción vectorial cuyo comportamiento esta predeterminado, los riesgos de control que normalmente podían surgir del salto del bucle son inexistentes.
  
6. Describa los componentes de una Arquitectura Paralela con Memoria compartida y con Memoria Distribuida.
  - Memoria compartida: La memoria se organiza en uno o varios módulos, compartidos por todos los procesadores, con un acceso constante. El acceso a los módulos por parte de los procesadores se realiza en paralelo, pero cada módulo solamente puede atender una petición en cada instante de tiempo. A este tipo de arquitectura se le conoce como UMA (Uniform Memory Access). La comunicación entre la memoria y los procesadores generalmente se realiza mediante un bus. Sin embargo, el hecho de que todos los procesadores accedan al mismo bus para acceder a memoria puede significar un cuello de botella y este problema crece con el número de procesadores.
  - Memoria distribuida: En esta arquitectura la memoria se distribuye de manera que cada procesador posee dentro de sí uno o varios módulos de memoria propia y está conectado mediante una red de interconexión al resto de los procesadores. De esta manera, cada procesador podrá acceder tanto a su memoria local, como a la memoria remota de cualquiera del resto de los procesadores. Este tipo de arquitectura se denomina NUMA (Non- Uniform Memory Access). Se intenta que la memoria utilizada por los procesos que ejecuta cada procesador se encuentre en la memoria de dicho procesador para que los accesos sean lo más locales posible solucionando el problema del cuello de botella que se verá más adelante en las arquitecturas paralelas con multiprocesadores de memoria compartida.

7. Dentro de la estructura de una capturadora de imágenes qué se entiende por PPE, SPE y EIB

Power Processor Element (PPE): El PPE es un núcleo de dos vías multihilo basado en arquitectura Power que actúa como controlador para las 8 SPEs, que se ocupan de la mayor parte de la carga de computación. El PPE trabaja con sistemas operativos convencionales debido a su similitud con otros procesadores Power PC de 64 bit, mientras que las SPEs están diseñadas para la ejecución de código vectorizado en coma flotante. Elementos Sinérgicos de Proceso (SPE): Cada SPE se compone de una “unidad sinérgica de proceso” (Synergistic Processing Unit, SPU) y una “controladora de flujo de memoria” (Memory Flow Controller, MFC, DMA, MMU, o bus interface). Una SPE es un procesador RISC con una organización SIMD de 128 bits preparada para ejecutar instrucciones de precisión doble o sencilla. Element Interconnect Bus (EIB): El EIB es un bus de comunicaciones interno del procesador Cell que interconecta los diversos elementos de sistema integrados en el chip: el procesador PPE, el controlador de memoria (MIC), los ocho coprocesadores SPE y las dos interfaces externas I/O del chip, formando un total de 12 participantes. El EIB incluye una unidad de asignación que funciona como un conjunto de semáforos.

8. ¿Qué factores de la conectividad entre procesadores influyen en su eficiencia?

Factores:

Ancho de banda – Número de bits capaces de transmitirse por unidad de tiempo.

Latencia de la red – Tiempo que toma a un mensaje transmitirse a través de la red.

Latencia de las comunicaciones – Incluye tiempos de trabajo del software y retardo de la interfaz.

Latencia del mensaje – Tiempo que toma enviar un mensaje de longitud cero.

Valencia de un nodo – Número de canales convergentes a un nodo.

Diámetro de la red – Número mínimo de saltos entre los nodos más alejados. – Permite calcular el peor caso de retardo de un mensaje.

Largo máximo de un tramo de comunicación.

Ancho de bisección – Número mínimo de enlaces que en caso de no existir la red se separaría en dos componentes conexas.

Costo – Cantidad de enlaces de comunicación.