

**Algunas aclaraciones** respecto del contenido, mucho de lo evaluado como teoría la hemos referido a este contexto, no siendo lo único posible, entiéndase que lo mejor siempre es referenciarse a los libros de texto que figuran en la bibliografía. Salvo algunas preguntas que tienen que ver con cuestiones de implementación de silicio hecho por las empresas, en estos puntos he tomado de dato algunos documentos que aparecen en la web mucho de los cuales han bajado ustedes y me han parecido entendibles y concretos, es decir nadie puede pensar que con leer sólo esto se puede llegar a entender totalmente cada tema, pero si tener una idea de cómo es el estado del arte sobre algunas cuestiones que dominan el mercado. Quiero que se entienda que aplico este criterio tomando de referencia que son estudiantes de primer año, que han hecho un esfuerzo grande aún con pocas herramientas dado la ubicación en que se encuentra las asignaturas en la carrera.

1. ¿Cuál es el objetivo de segmentar una instrucción tal como lo hace el pipeline? ¿Es posible alcanzar la completitud del pipeline de forma continua? De no ser así describa al menos dos problemas que pueden aparecer y al menos dos soluciones tendientes a solucionarlos. ... **2P**

El objeto es aumentar la velocidad de procesamiento de las instrucciones, es decir va a paralelizar tareas menores que forman parte de la instrucción. La completitud del pipeline no es posible alcanzarla de forma continua debido a que pueden producirse los siguientes inconvenientes:

- **Motivos estructurales:**  
No todas las etapas son de la misma duración  
Desde varias etapas se quiere acceder a la memoria en forma simultanea  
No todas las instrucciones hacen las mismas cosas
- **Dependencia de Operando**  
**Soluciones**  
**Preventivo**  
Prevenir la dependencia de los operando, el compilador lee y ve si puede romper la dependencia reescribiendo el código, cuando no lo logra puede incluir instrucciones de NOP  
**Para detectar y corregir:**  
Detener el pipeline  
Anticipación (data forwarding)
- **Instrucciones de bifurcación**  
**Saltos incondicionales** no ofrece problema con el agregado de hw para saber donde saltará y luego se carga el pipeline con los nuevos datos  
**Saltos condicionales**, dos estrategias suponer que nunca saltará => pipeline convencional, o que siempre saltará igual al salto incondicional, en cualquiera de los dos casos de no darse la suposición simplemente ese vacía el pipeline y se carga con los nuevos datos, se pierde todo el trabajo realizado.

2. Describa las características más representativas de una arquitectura RISC, indique que ventajas presenta respecto de una CISC. La técnica de pipeline en cuál de las Arquitecturas CISC o RISC será más eficiente, justifique su respuesta. ... **2P**

La arquitectura RISC, presenta una cantidad reducida de instrucciones simétricas, lo cual permite mejorar el tiempo de recuperación e interpretación por ser reducida el conjunto de búsqueda y poder hacerlo en paralelo al tener todas igual dimensión (pipeline paralelización a nivel instrucción) puedo saber donde se encontrara las demás instrucciones a través de un simple cálculo. Su arquitectura del tipo Harvard le permite acceder a mas de una cosa simultáneamente al duplicar los canales típicos de una computadora, además de presentar direccionamientos simples a nivel instrucción lo cual reduce el tiempo de ejecución.

La técnica del pipeline será más eficiente en una arquitectura risc en donde todas las instrucciones tiene igual tamaño, de esa forma puede especular donde se encuentra la siguiente instrucción sin haber terminado la anterior.

3. En el caso de una memoria cache, describa porque se constituye en una mejora para la computadora, describa los métodos de actualización de datos internos: Write Through y Write Back. ... **1P**

El uso de memoria cache, dio como resultado una mejora en la recuperación de los datos (datos puros e instrucciones), y por lo tanto en la velocidad de procesamiento, dado que la memoria cache se encuentra conectada al micro a través de un canal de alta velocidad y la búsqueda se efectúa sobre un espacio mucho más reducido que el de la memoria principal, además no se gasta tiempo en ciclos de actualización debido a que es una memoria ram estática. Si a esto se le suma que se irá llenando con valores cuya dependencia temporal y espacial es próxima dará como resultado tener disponible lo siguiente aquello que está procesando, dando como resultado el aumento de velocidad de procesamiento. Write Through los datos son actualizados en la memoria principal a medida que son volcados en la cache, Write Back los datos sólo se actualizan en la memoria principal cuando el contenido del cache debe ser desalojado para hacer lugar para un nuevo dato.

4. De al menos 4 ejemplos de direccionamientos en donde se consulta la memoria cache por medio del método de asociación directa, explique por qué puede presentar desventajas este método. ..**2P**

Acá deben dar cuatro direcciones del tipo 23,26,24,26,18 pasarla a binario, tomar los tres últimos digitos como índice en el cache, y los primeros como tag de verificación del dato guardado, además contar de cómo se da cuenta de que hay un dato o no dentro del cache para cada dirección, lean el documento de cache por si no lo han hecho aún.

5. ¿Se puede decir que la arquitectura Harvard es ventajosa respecto de un von Neumman, si es así describa el por qué? ... **1P**

Si, se puede decir que la Arquitectura Harvard es ventajosa en la recuperación de datos e instrucciones respecto de la von Neumman, debido a que presenta duplicación en los distintos canales de acceso, es decir direcciones, datos y control, aunque si bien no tienen igual

dimensión en cantidad de bits actúan de forma separada aumentando la velocidad de recuperación y por lo tanto de procesamiento.

6. Describa cada una de las dos arquitectura vectorial típica? ... **2P**

Máquina vectorial con registros: en una máquina de este tipo, todas las operaciones vectoriales, excepto las de carga y almacenamiento, operan con vectores almacenados en registros. Estas máquinas son el equivalente vectorial de una arquitectura escalar de carga/almacenamiento. La mayoría de máquinas vectoriales modernas utilizan este tipo de arquitectura.

Máquina vectorial memoria-memoria: en estas máquinas, todas las operaciones vectoriales son de memoria a memoria. Fue la primera arquitectura vectorial que se empleó.

7. Describa los componentes de una Arquitectura Paralela con Memoria compartida. ... **1P**

Los componentes principales son:

Un conjunto de procesadores: cada uno de estos procesadores se utiliza para realizar las diferentes partes de una tarea, y suelen ser implementados cachés locales para aliviar la congestión de la red que los interconecta.

Un conjunto de módulos de memoria: es utilizada para que los procesadores se comuniquen entre sí, y dentro del conjunto hay un dispositivo de arbitraje que gestiona las comunicaciones entre los módulos de memoria y los procesadores.

Una red de interconexión: generalmente es de tipo basado en bus o de tipo basado en interruptor. En cualquier caso, cada procesador tiene igual acceso a la memoria global compartida por todos los procesadores.

8. Dentro de la estructura de una capturadora de imágenes qué se entiende por PPE, SPE y EIB. ... **2P**

El procesador CELL une las SPE y el PPE por medio del EIB para proporcionarles acceso tanto a la memoria principal como a dispositivos externos de almacenamiento.

PPE (Power Processing Element): es el procesador principal (consistente en un núcleo) del chip multinúcleo básico del procesador CELL. Es capaz de ejecutar un sistema operativo convencional, posee el control sobre las SPE y puede comenzar, interrumpir y programar procesos para que se ejecuten en las mismas. Son de tipo RISC con instrucciones de un tamaño de palabra fijo de 32 bits. El PPE contiene un juego de registros de propósito general (GPR) de 64 bits, un registro de coma flotante (FPR) de 64 bits y un juego de registros de tipo Altivec de 128 bits.

SPE (Synergistic Processing Elements): son ocho coprocesadores funcionales denominados SPE. Son de tipo RISC con instrucciones de un tamaño de palabra fijo de 32 bits. La SPE contiene

solamente registros de 128 bits que pueden ser empleados para diversos tipos de datos escalares o para cálculos SIMD.

EIB (Element Interconnect Bus): es un bus de datos circular especializado de gran ancho de banda, que conecta la PPE, los elementos I/O y las SPE.