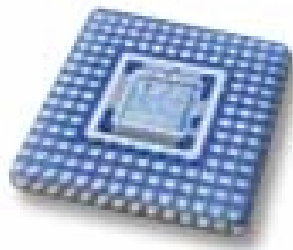


Arquitectura de Computadores

- Chipsets.
- Evolución placas base en los PCs



Departamento de
Arquitectura y
Tecnología de Computadores
UNIVERSIDAD DE SEVILLA

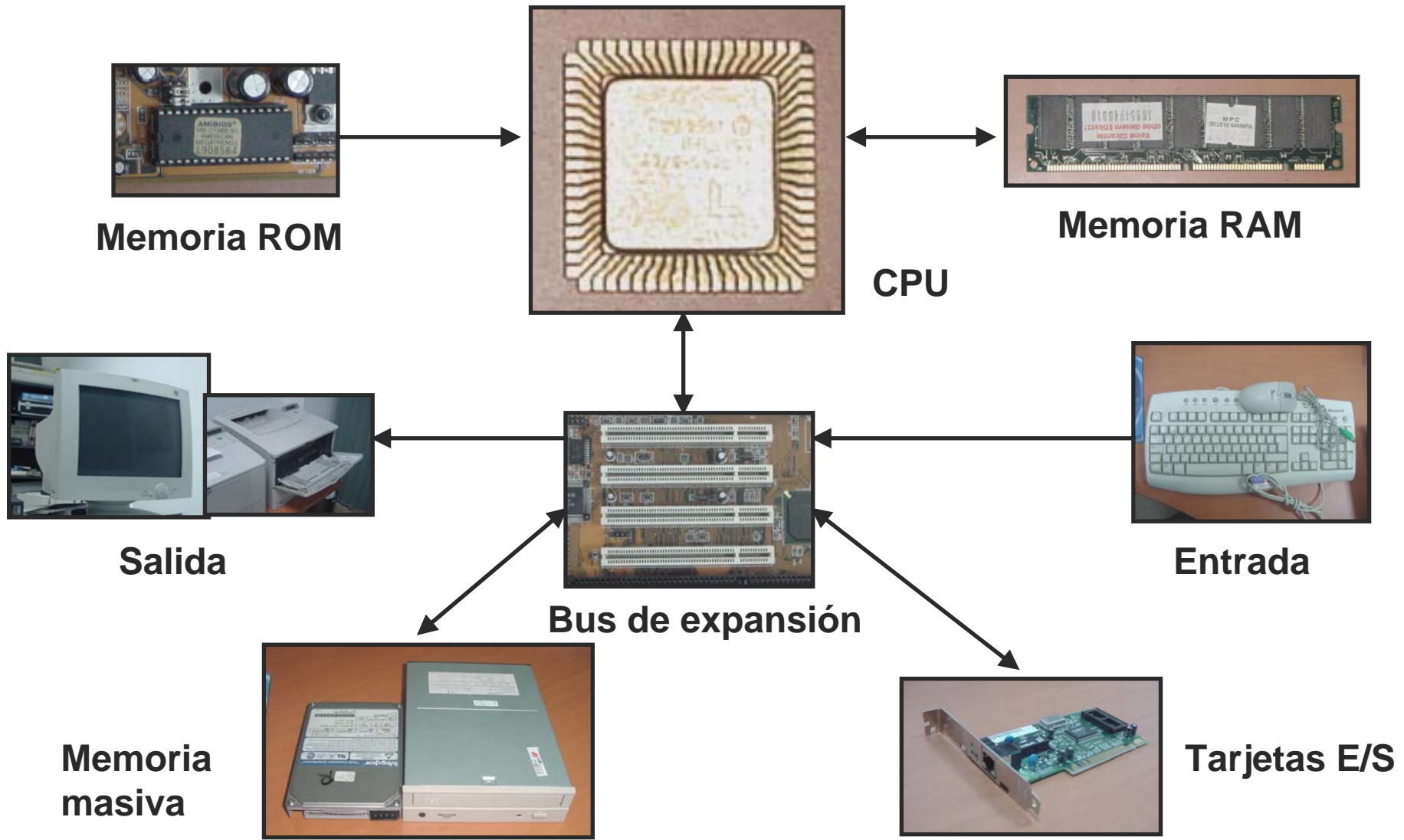
[http:// www.atc.us.es](http://www.atc.us.es)



[ÍNDICE]

- Introducción
- El *chipset* del 8086 y los primeros buses de PC
- El *chipset* del 486 (*socket 3*) con PCI
- *Chipsets* para Pentium y *socket 7*
- *Chipsets* para Pentium y *socket 7* de fabricantes NO Intel
- *Chipsets* para Pentium Pro y Pentium II (*socket A*)
- *Chipsets* para Pentium II, III y Celeron
- *Chipsets* para Pentium IV

[Introducción (0): arquitectura Von Neumann en el PC]



[Introducción (1)]

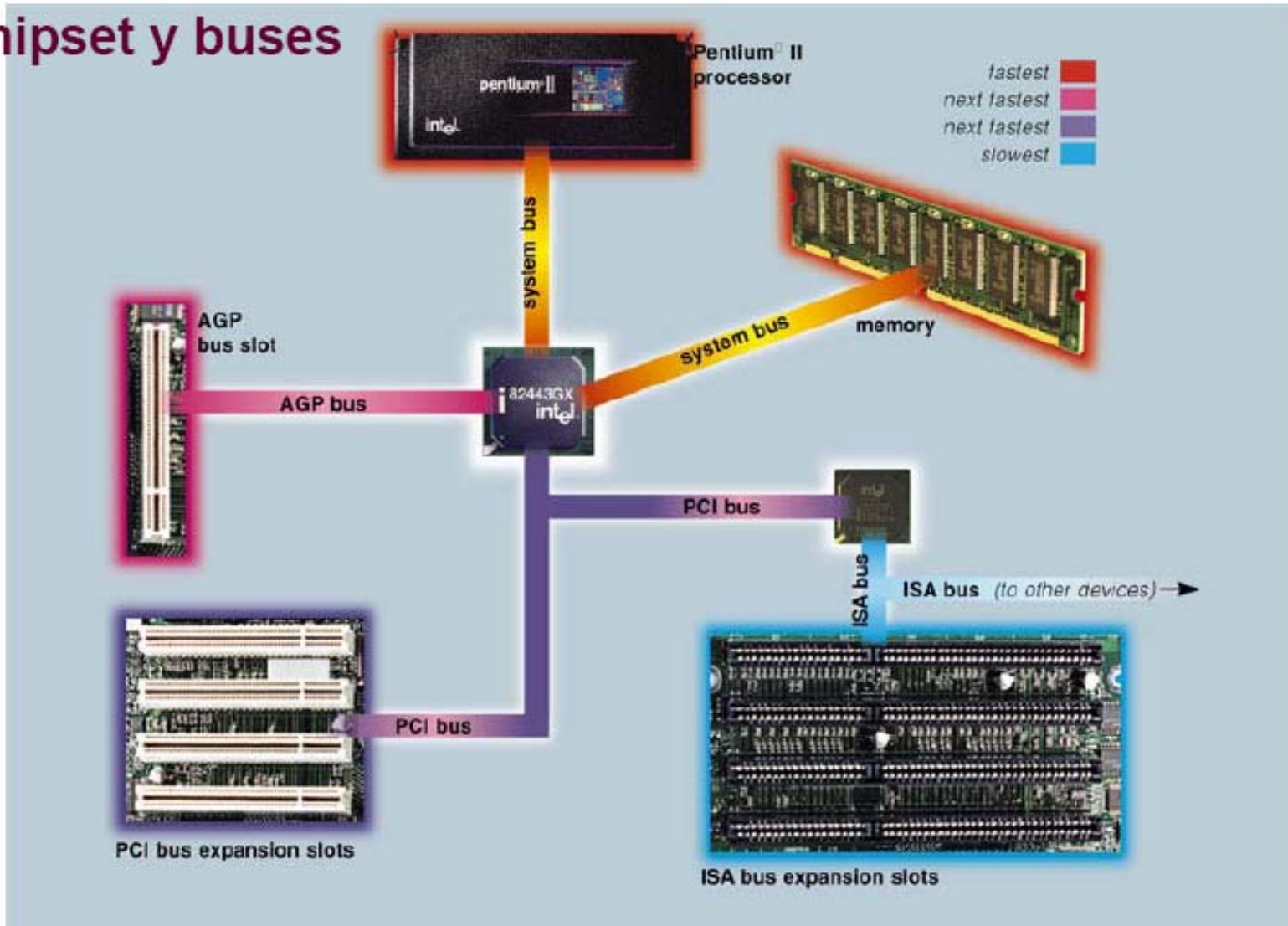
- Una placa base/madre ó *chipset* es un circuito impreso (PCB: *Printed Circuit Board*) que soporta y conecta los elemento básicos de un PC.
- Las primeras placas base para procesadores Intel desde 8088/86 hasta el 80286, están basadas en tecnología TTL. Chips memoria soldados a la placa base → De ahí *chipset* (conjunto de chips)
- A partir del 80386 aparecen otros fabricantes (ALI, VIA, ...) que desarrollan *chisets* propios.
- *Chipsets*: diseñados para una determinada familia de procesadores (386, 486, Pentium, Athlon, ...)

[Introducción (2)]

- Diferentes arquitecturas de *chipsets*. ¿Cómo entiende el S.O. los diferentes *chipsets*? → BIOS (enlace entre Hw y Sw) + estandarización de la arquitectura PC.
- A veces los fabricantes dan *drivers* junto con la placa base para diferentes S.S.OO.
- “Compatibilidad PC” facilita que el Sw pueda ejecutarse sobre cualquier *chipset*.
- La tendencia es actual a llevar a gestionar todo el bus del sistema (FSB) y de expansión o E/S a través de uno o dos chips soldados a la placa base.

Introducción (3): arquitectura Von Neumann en el PC (actual)

Chipset y buses

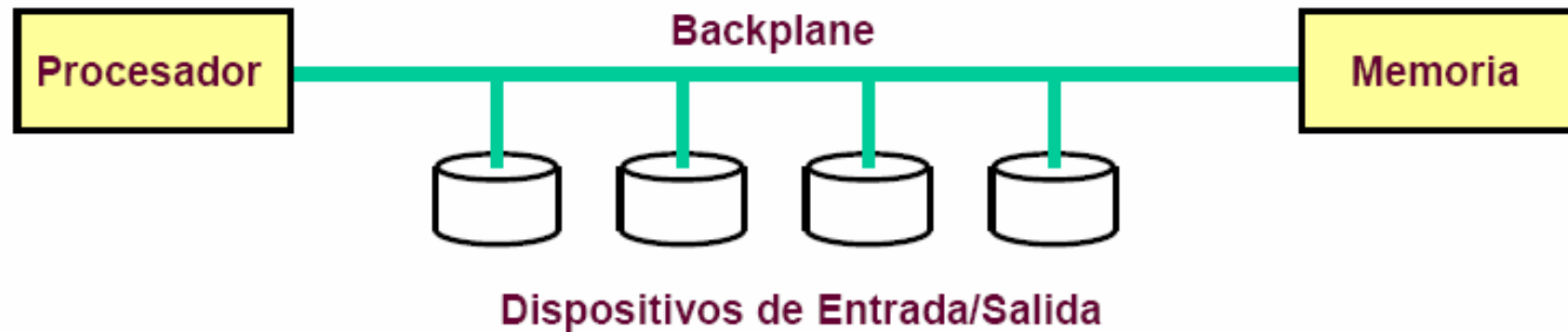


Introducción (4): alimentación y formatos placas base

- Básicamente existen dos tipos de conexiones para placas base de PCs:
 - Conector AT: tensiones 5V y 12V.
 - Conector ATX: usado en la actualidad. Basado en el AT. Proporciona además tensiones de 3,3V. Incorpora señales para comunicación con la placa base.
- El formato ATX también se refiere a una serie de exigencias y recomendaciones para fabricar placas base.
- Existen dos formatos: ATX y mini-ATX.
- Involucra a otros formatos del PC como la fuente de alimentación y la caja.
- Objetivo: estandarizar, y por tanto reducir costes de fabricación y mantenimiento.

El *chipset* del 8086 y los primeros buses de PC (1)

- Un único bus (*blackplane*) es usado para comunicar el procesador con la memoria y los dispositivos de E/S.
- Simple y barato pero genera el mayor cuello de botella de todo el PC.
- Ejemplo: el IBM PC –XT/AT

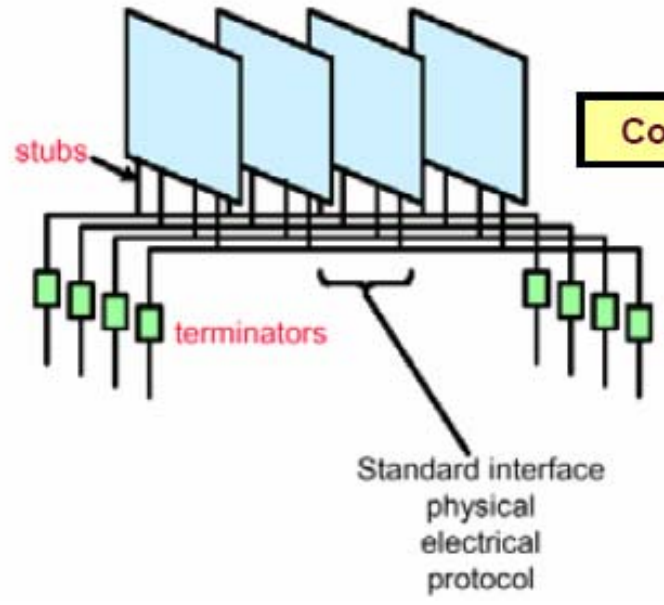


El *chipset* del 8086 y los primeros buses de PC (2)

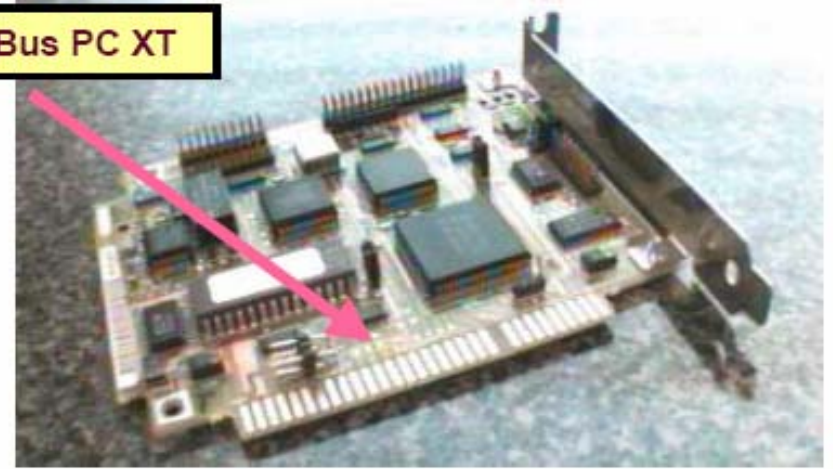
PC-XT original



modules

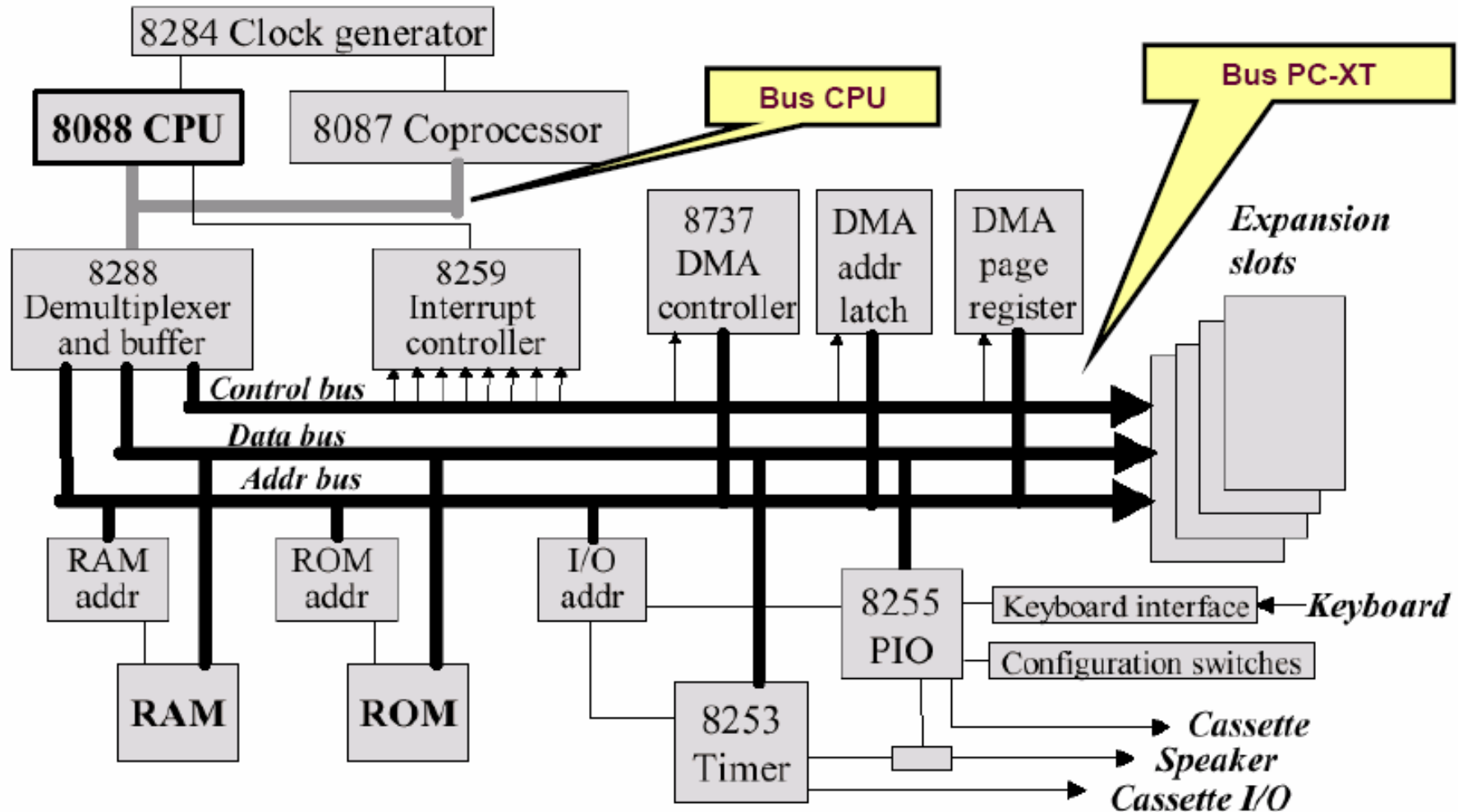


Conector Bus PC XT



El *chipset* del 8086 y los primeros buses de PC (3)

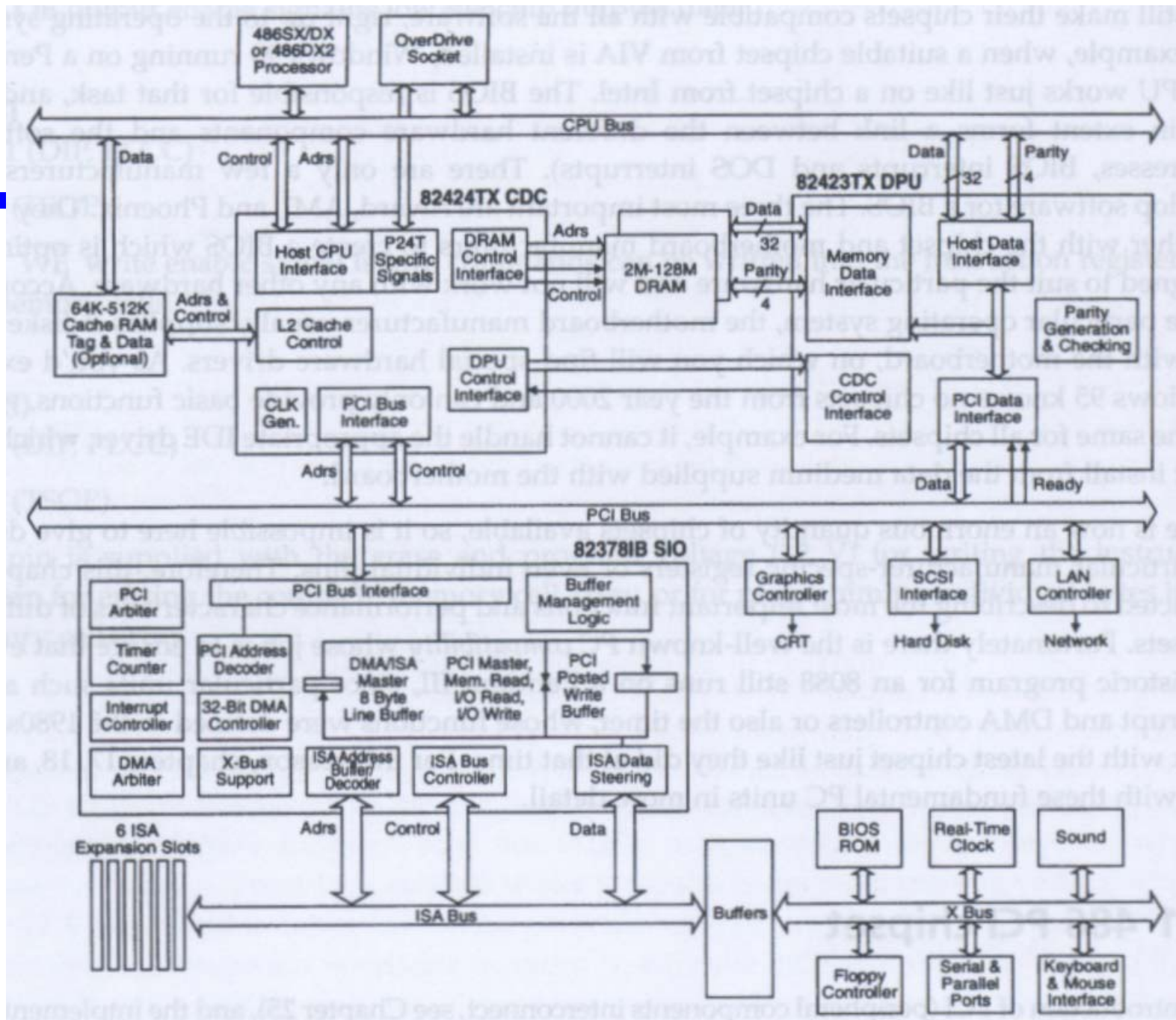
Organización Placa Madre 8088 y Bus PC-XT (ISA)



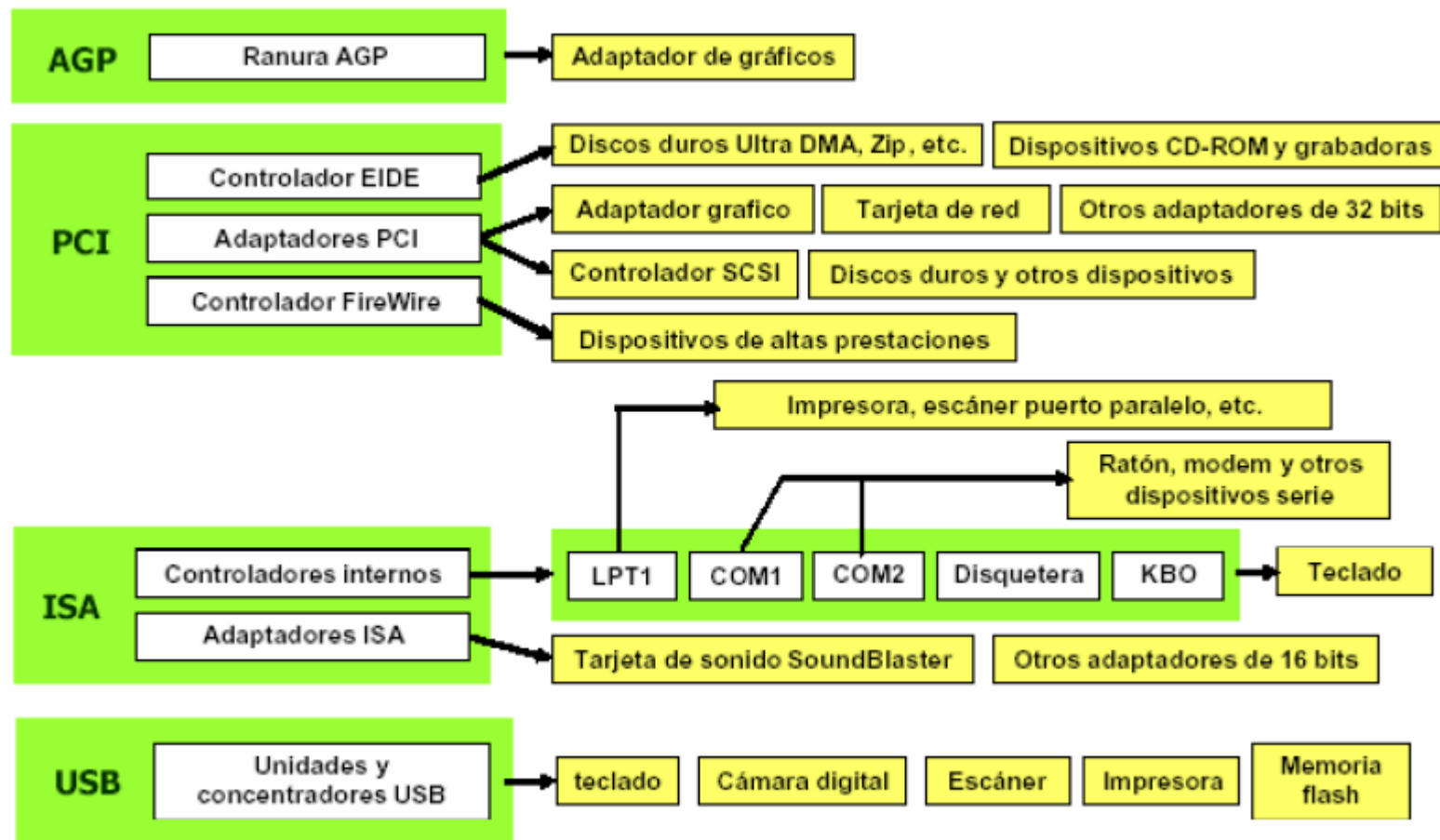
[El *chipset* del 486 (socket 3) con PCI]

- Marcado por la introducción del bus PCI que produjo cambios fundamentales en la arquitectura de los *chipsets*.
- Uno de los primeros *chipsets* para 486: *Saturn* (tipo 82420). Compuesto por 3 chips:
 - 82424TX (CDC): controlador de memoria caché y DRAM. Enlaza CPU con bus PCI.
 - 82423TX (DPU): módulos de control del bus de datos.
 - 82378IB (SIO): gestión de la E/S. El bus ISA tiene menos prioridad que el PCI

Diagrama de bloques del Chipset Intel Saturn



Chipsets para Pentium y socket 7 (0): uso de los buses en el Pentium



Chipsets para Pentium y socket 7 (1)

- El primero de Intel llamado *Mercury* con bus del sistema (FSB) a 60 ó 66 MHz no ofrecía más rendimiento que un *chipset* para 486-DX2 (el 486 más avanzado con procesador matemático).
- *Tritón* (82430FX): tres módulos.
 - 582437FX (TSC): controlador de memoria DRAM y caché. Interfaz con bus PCI.
 - 582438FX (TDP): “cacheo” de datos en transferencias de E/S y memoria (como bufferes intermedios). Soporte para memorias EDO RAMs.
 - 582371FB (PIIX): sucesor del chip SIO del *chipset* para el 486. Incorpora DMA, controlador interrupciones (8259), contador/timer (8254), IDE (EIDE) para discos duros ó CD-ROMs, funciones ahorro energía, ...

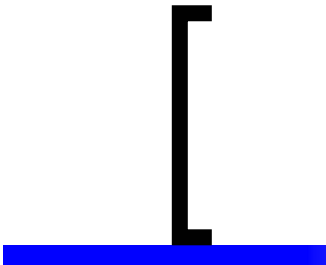
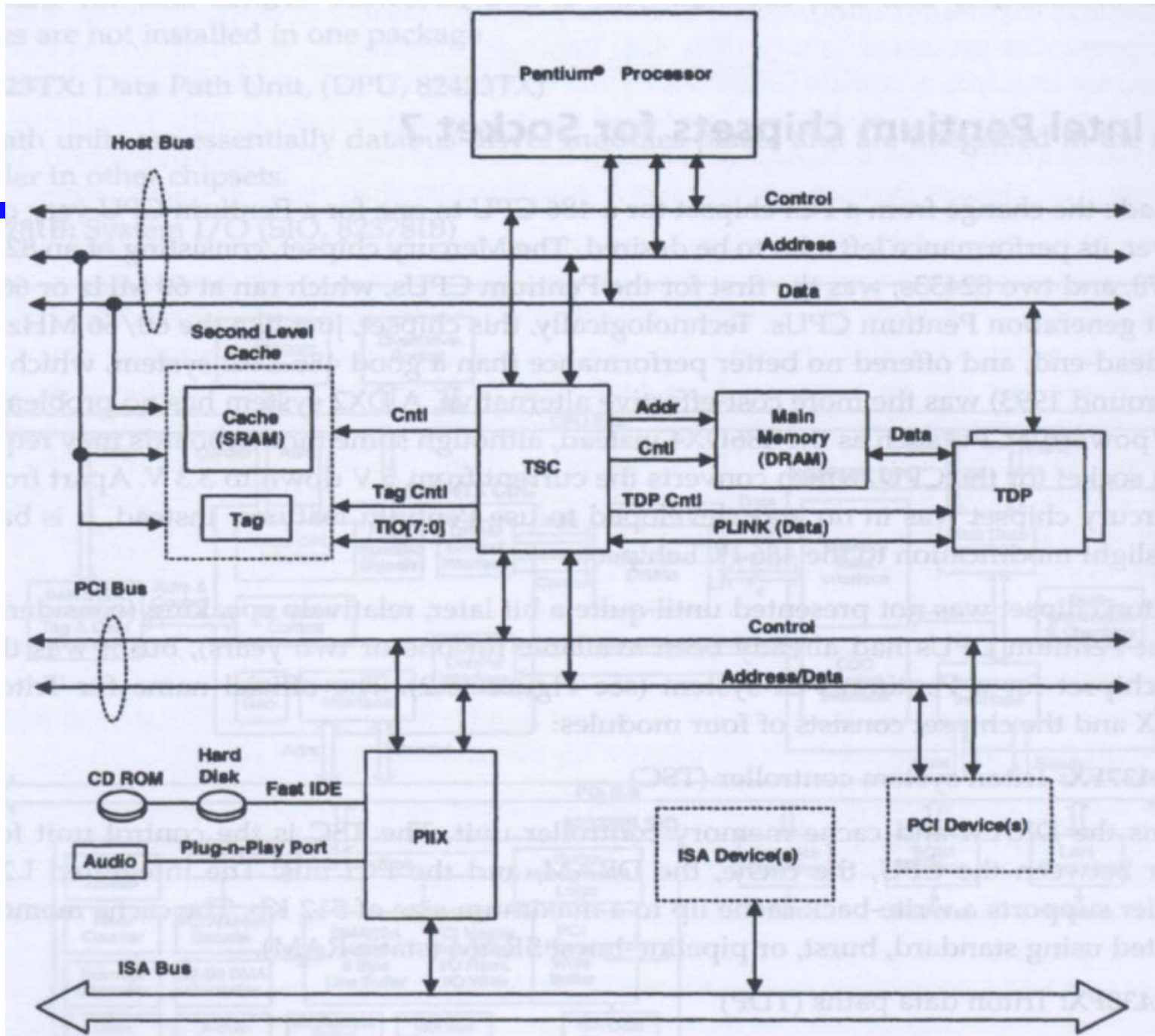


Diagrama de bloques del Chipset Intel Triton

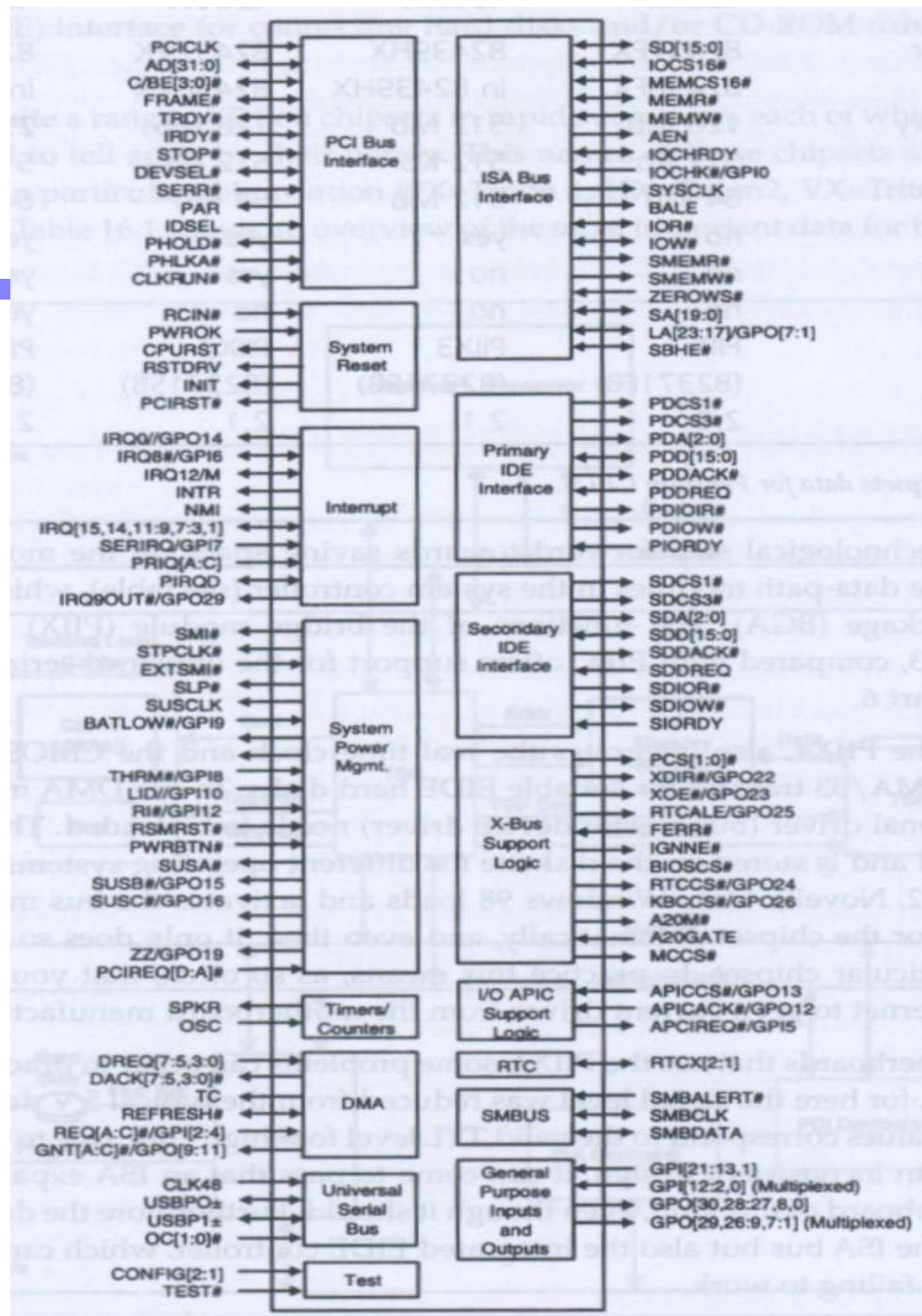


Chipsets para Pentium y socket 7 (2)

- Varias evoluciones del *Triton FX*: PIIX3 (HX y VX) y PIIX4 (TX).
- Esto se hizo para por ejemplo incorporar USB en el PIIX3.
- Mayor nivel de integración que permitió fusionar el chip TSC y el TDP.
- PIIX4: soporte EIDE (Ultra-DMA/33) para discos duros.
- A partir del PIIX3-VX (430 VX) se da soporte (controlador) para memorias SDRAMs.
- Soporte para “hacer memoria caché” a partir de memoria SDRAM (hasta 64 Megas).



Diagrama de bloques/señales del PIIX4 (“puente sur”). Contiene puente PCI-ISA, controlador interrupciones, controladores DMA, IDEs, temporizador, reloj de tiempo real (RTC) y SMBUS para monitorización del sistema (por ejemplo temperaturas)



Chipsets para Pentium y socket 7 de fabricantes NO Intel (1)

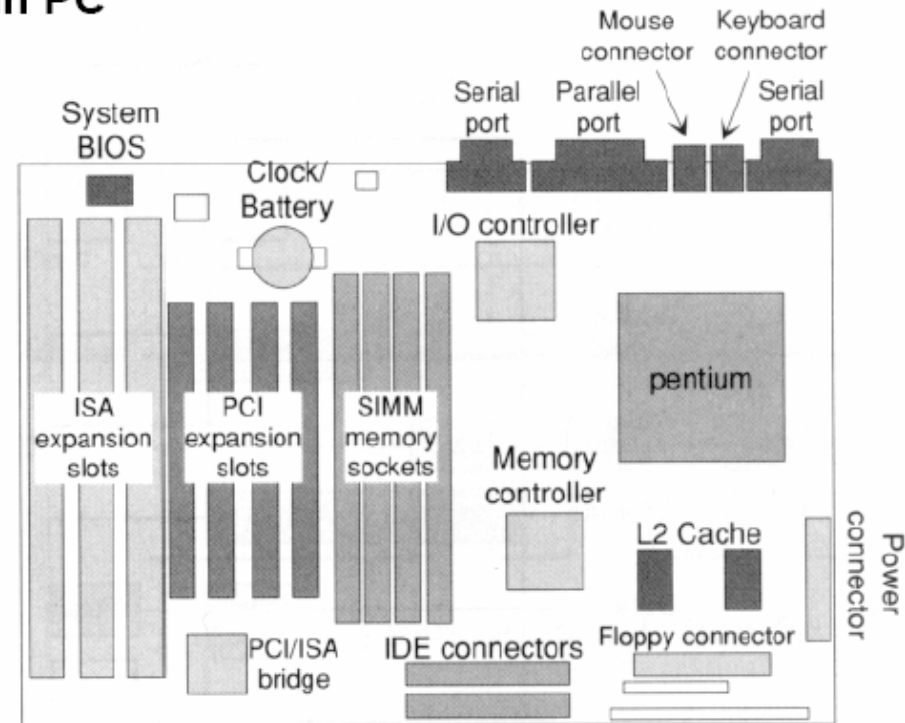
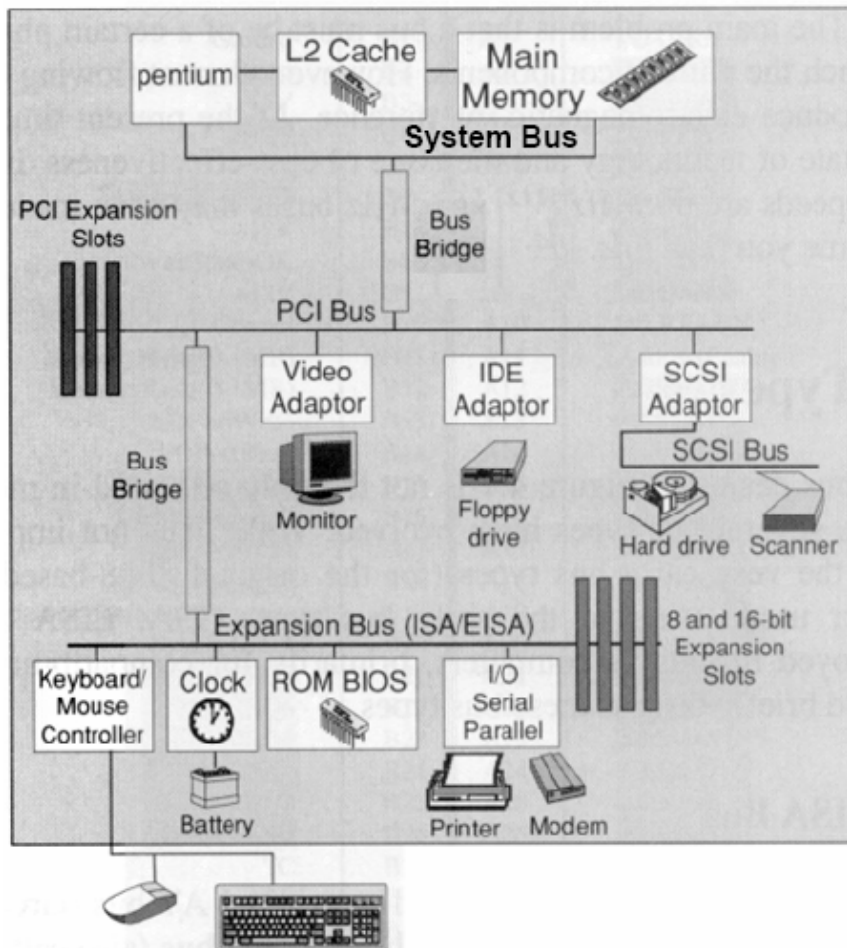
- Fabricantes ALI, VIA, ETEQ → *chipsets Aladdin y Apollo.*
- Posibilidad de configurar más de 64 MBs de SDRAM como memoria caché.
- Frecuencias de reloj entre 75 y 83 MHz → el bus PCI (33 MHz) sufre pérdida de rendimiento al no poder ir sincronizado con el bus del sistema (antes: bus sistema a 66 MHz, x2, ¿ahora?)
- Factores de multiplicación de la frecuencia del bus del sistema para diferentes CPUs. Ejemplo: Pentium II a 233 MHz → 75 x 3 MHz (factor 3).

[*Chipsets* para Pentium y socket 7 de fabricantes NO Intel (2)]

- Factores ajustables mediante *jumpers* en las placas base.
- Algunos *chipsets* (5581 ó 5582) integraban controladores gráficos que cogían parte de la memoria SDRAM → PCs de bajo coste.

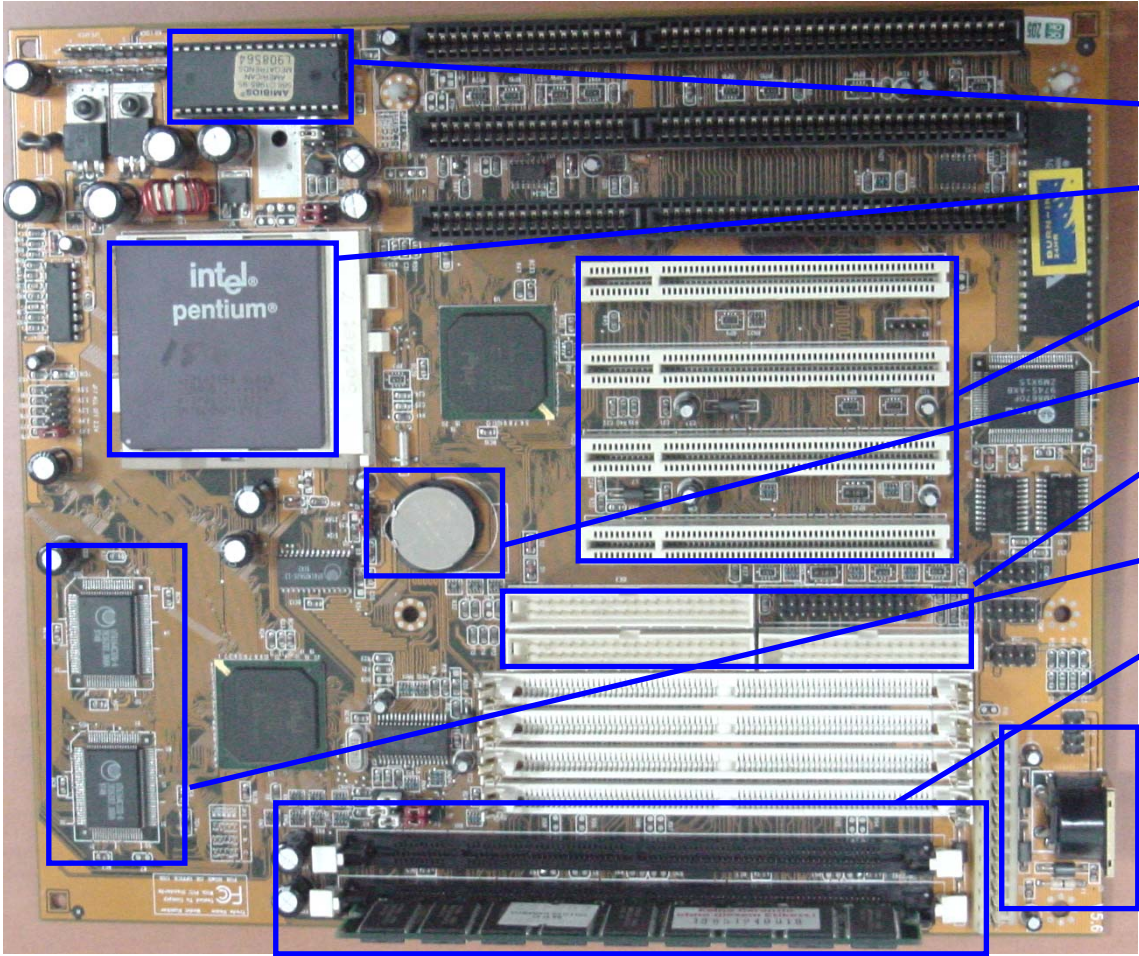
Ejemplo real de placa base de un Pentium (1)

Organización del sistema de buses en un PC



An example motherboard layout

Ejemplo real de placa base de un Pentium (2)



ROM BIOS

Microprocesador

Ranuras de expansión PCI

Batería CMOS

Conectores IDE y floppy

Memoria caché

Ranuras de expansión de memoria

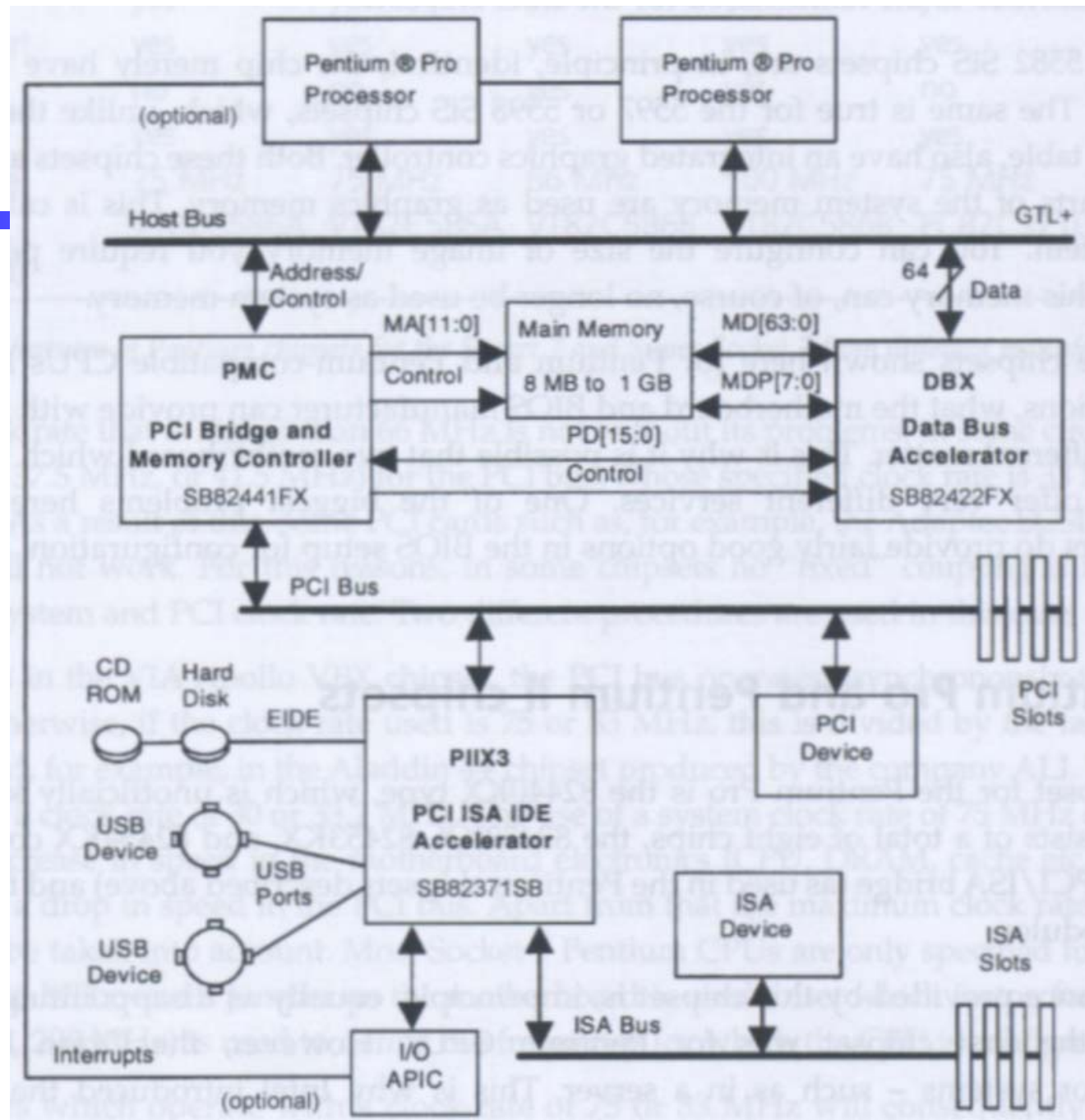
Conector teclado

Chipsets para Pentium Pro y Pentium II (socket A) (1)

- Pentium Pro → 8244082437FX (*Natoma*). Tres componentes:
 - SB82441FX (PMC): controlador de memoria y PCI.
 - SB82442FX (DBX): control de bus entre memoria y CPU. Control chip PMC y transferencias PCI.
 - SB2371SB (PIIX3): puente buses PCI-ISA. Análogo al PIIX2 del Pentium pero con soporte USB, DMA, interrupciones, ...
- ¡Atención!: no existe ya controlador de memorias caches. La caché va ya dentro del *chip* del Pentium Pro.

Diagrama de bloques del *Chipset* Pentium Pro 82440FX.

Válido también para plataforma multiprocesadores.



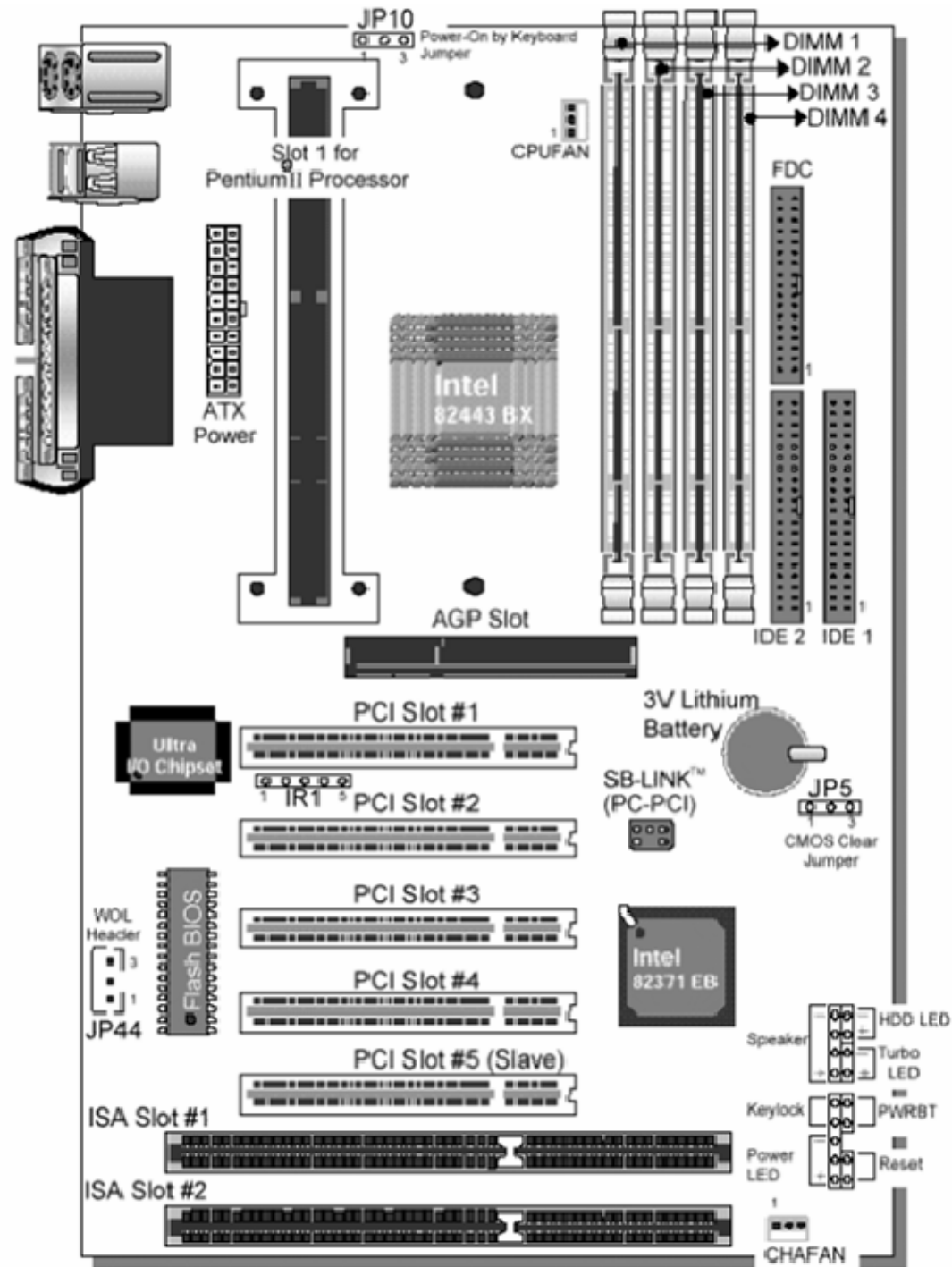
Chipsets para Pentium Pro y Pentium II (socket A) (2)

- Pentium II: Pentium Pro + extensión MMX (para temas multimedia). Cambia a *socket 8*.
- No hay grandes diferencias entre los *chipsets* para Pentium Pro y para Pentium II.
- Incorpora chip PIIX4 (puente PCI-ISA).
- La placa base incorpora ahora nuevas funcionalidades para ajustar automáticamente los DIMMs de SDRAM. Para ello los DIMMs deben incorporar memoria EEPROM para leer parámetros configuración (no siempre funcionaba).
- Chip 8244LX: primero en dar soporte a bus AGP. Consta de un único *chip* (sin contar el PIIX4) que es el 82443LX → constituye el “puente norte” del *chipset*.

[*Chipsets* para Pentium II, III y Celeron (1)]

- Año 1998: *chipsets* 440 BX (bus sistema a 100 MHz que permiten CPUs hasta 400 MHz, x4) y 440 EX (para procesadores Celeron).
- Los *chipsets* BX podían dar soporte tanto a CPUs Celeron como Pentium III.
- El *chip* 82443BX hace de “puente norte” y el PIIX4 como “puente sur”.
- Reloj a 100 MHz para usar SDRAMs del tipo PC100 DIMMs.
- Se permite cambiar frecuencias en el bus de expansión a 33 MHz para PCI ó incluso del bus del sistema para CPUs antiguas a través de la BIOS.

Esquema
placa base BX
de un Pentium
II. El chip
82443BX
hace de
“puente
norte”.



Chipsets para Pentium II, III y Celeron (2)

- Chipset Intel 810 (Whitney): pensado para PCs de bajo coste (procesadores Celeron) → Se integran todos los componentes que se puedan en el chipset.
 - 82810 (DC-100, hub GMCH): “puente norte” que incorpora el controlador de memoria y el controlador gráfico (no hay conector AGP).
 - 82801A (A/B, hub ICH): “puente sur”, soporte para EIDE, USB, DMA, IRQ, ... que integra bus PCI, audio y moden.
 - 82802 (AB/AC, hub FWH): BIOS y generador de números aleatorios para aplicaciones de seguridad.
- Se necesitaban utilizar PC66 ó PC100 DIMMs de SDRAM ya que la frecuencia de bus del sistema iba a 66 MHz ó 100 MHz.

[*Chipsets para Pentium II, III y Celeron (3)*]

- Se necesita reservar espacio de memoria SDRAM para el controlador gráfico: entre 1 y 10 MBs.
- Desventaja 810: la CPU tiene más carga de trabajo (gestión controlador gráfico, sonido, ...) y la actualización del PC es más difícil al suprimirse parte del bus de expansión (AGP y parte del PCI).
- *Chipset 810e*: frecuencia reloj a 133 MHz para trabajar con PC133 DIMMs y Pentium III.

Chipsets para Pentium II, III y Celeron (4)

- Chipset Intel 820 (*Camino*): tres chips.
 - 82820 (MCH): controlador de memoria. “Puente norte” que no incorpora controlador gráfico.
 - 82801 (ICH): igual que se su predecesor en el 810 (*whitney*).
 - 82802 (FWH): igual que se su predecesor en el 810 (*whitney*).
- Descendiente del *Whitney* para trabajar con memorias RamBus.
- Esto causó problemas (nuevo tipo de memoria DRAM) y se retiró del mercado.
- A diferencia del chipset 810 (*Whitney*) añade una conexión/ranura AGP

Diagrama de bloques del Chipset Intel Camino (con soporte para RAMBus)

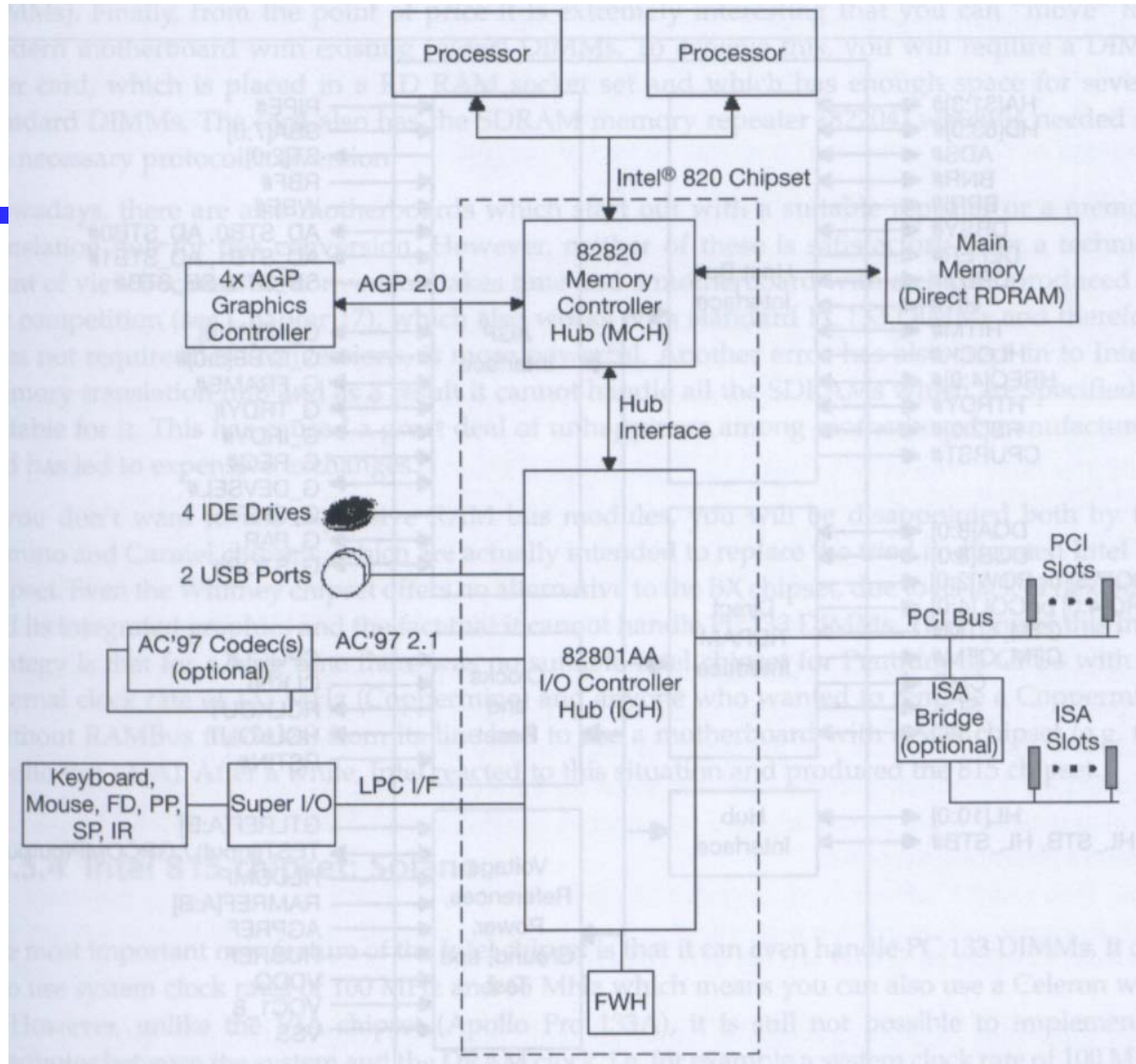
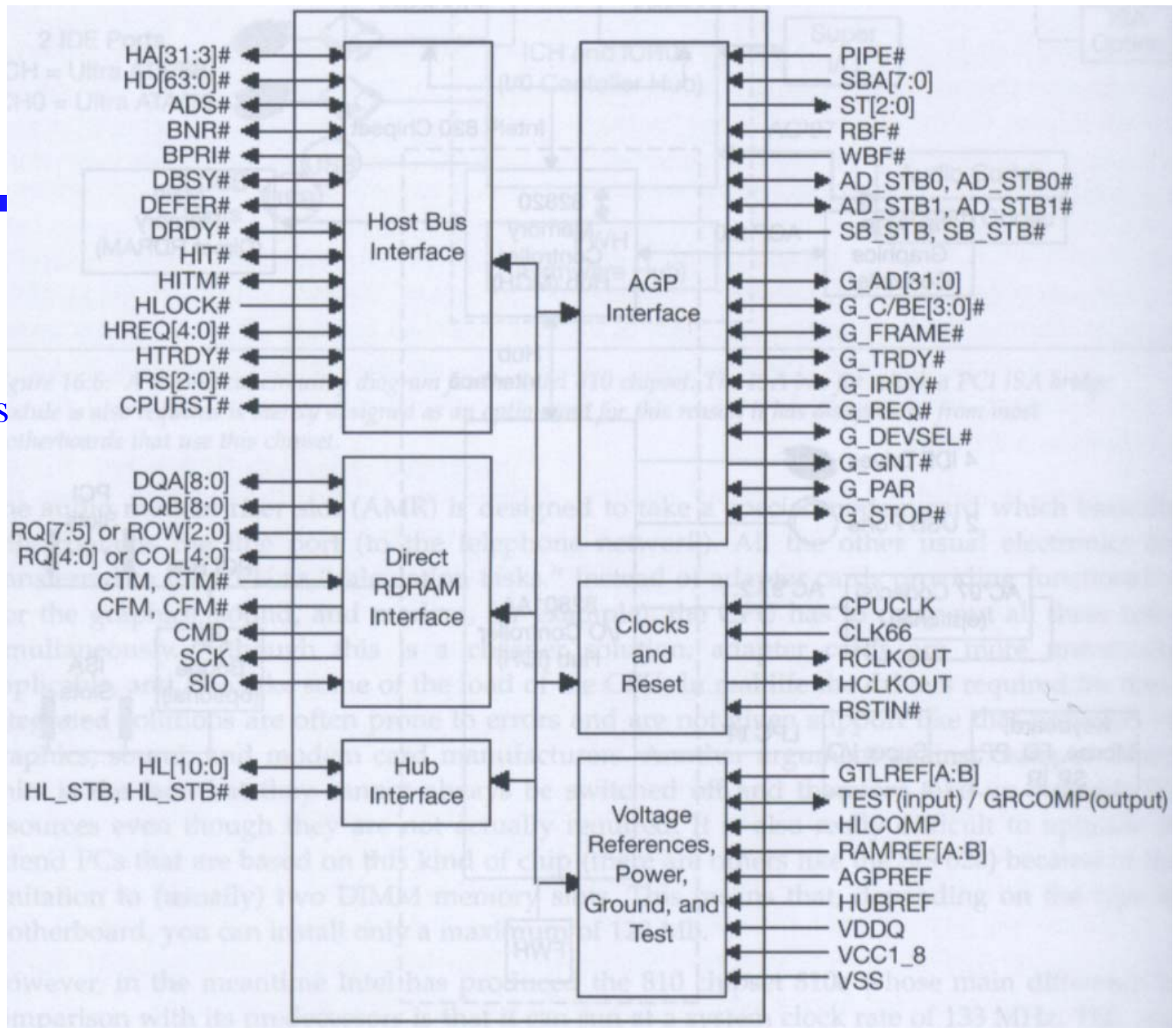


Diagrama
de bloques
chip
“puente
norte”
MCH
(82820)
Intel
Camino



[*Chipsets para Pentium II, III y Celeron (5)*]

- *Chipset Intel 840 (Carmel):*
- Sucesor del 820 (*Camino*). Incorpora controlador PCI de 64 bits.
- Permite usar memorias SDRAM.
- Paradoja: los *chipsets* de la competencia de Intel eran más eficientes porque no convertía señales para adaptar memorias SDRAM del tipo por ejemplo PC133 DIMMs

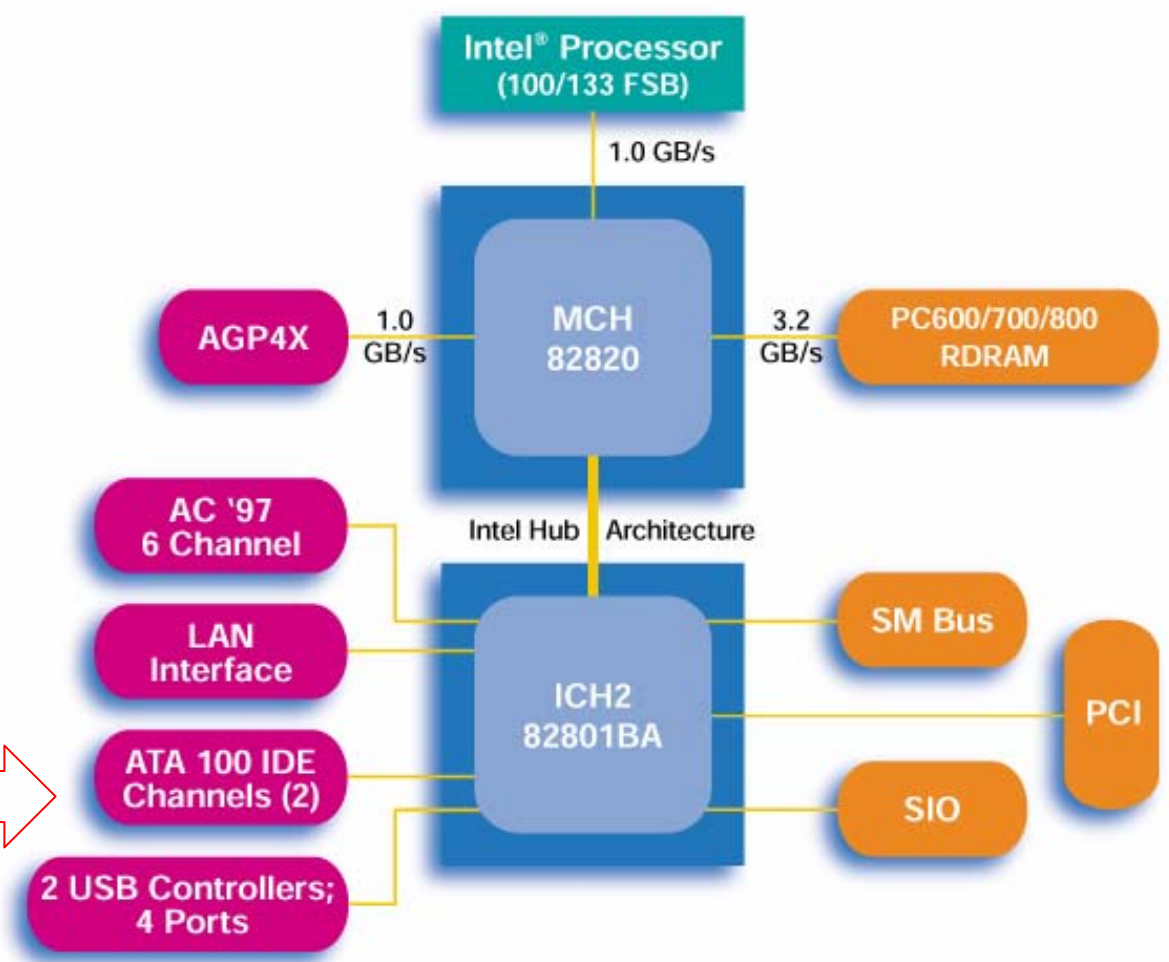
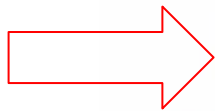
[*Chipsets para Pentium II, III y Celeron (6)*]

- *Chipset Intel 815 (Solano):*
- Posee un controlador gráfico AGP integrado que se puede desconectar para poner uno externo.
- El uso del controlador gráfico integrado necesitaba reserva de memoria DRAM y al igual que en *chipsets* anteriores similares, solía a veces producir choques/conflictos en los accesos a memoria.
- Variedad de chips del tipo 82801 (ICH) que incorporan red de área local además de los anteriores USB, PCI, ...

[Chipsets para Pentium II, III y Celeron (7)]

- *Chipsets* NO Intel: fabricantes SiS, VIA, ALI, ...rendimientos comparables a los *chipsets* BX de Intel pero a menor precio.

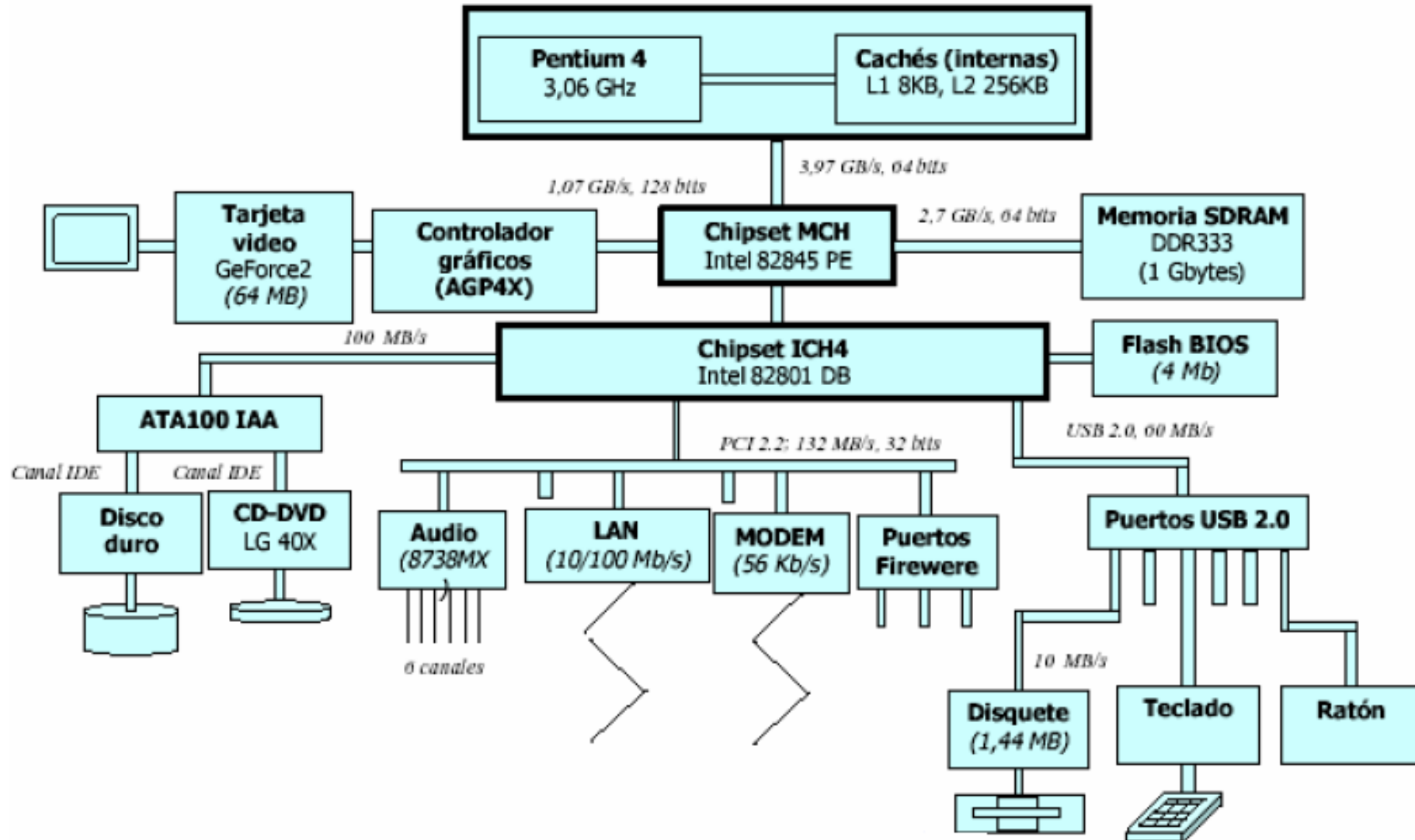
Diagrama de componentes de una placa base Intel para Pentium III



Chipsets Athlon

- Fabricado por AMD que desarrolló el *chipset* AMD-750 (*Irongate*).
- El resto de fabricantes desarrollaron *chipsets* para el Athlon de forma lenta → Dudas sobre el éxito del procesador *Athlon*.
- Compuesto por dos chips:
 1. AMD 751: “puente norte” ó controlador del sistema. Integra conexión a la CPU, controlador de memoria y controlador AGP. También incorpora PCI.
 2. AMD 756: “puente sur”, ULTRA ATA/66, USB, ...
- Permitía utilizar e *chipset* para procesadores *Duron* y *Thunderbird*.
- Manejaba memoria DDR266. Esto también se incluía en su *chipset* sucesor AMD-760.

Chipsets para Pentium IV (1)

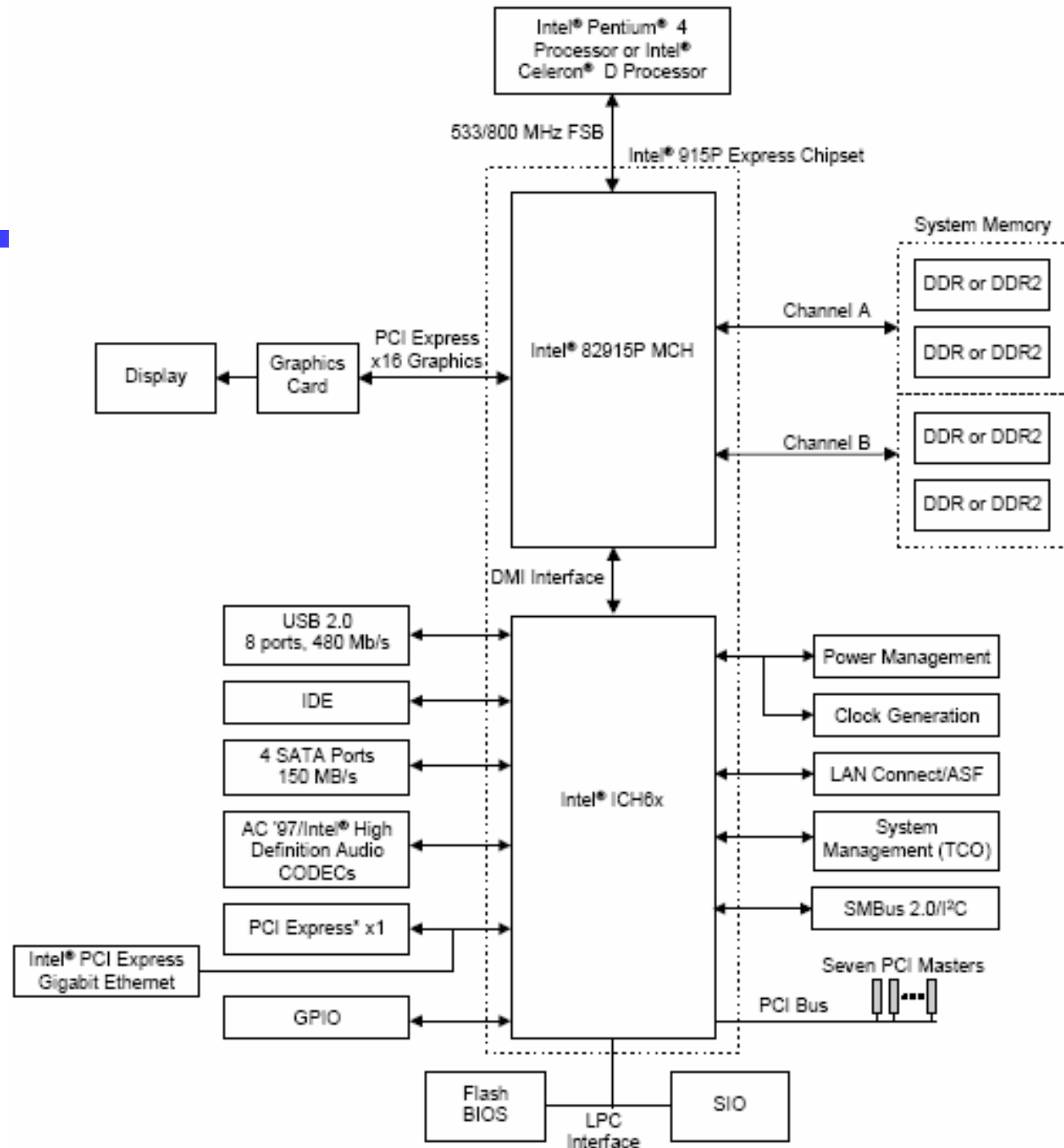


[*Chipsets para Pentium IV (2)*]

- Arquitectura similar a Pentium III y Athlon.
- Ejemplo: placa base P5GD2-X de ASUS.
- *Chipset*:
 - “puente norte”: Intel 915P (82915P)
 - “puente sur”: Intel ICH6
- Bus del sistema (FSB): 800/533 MHz
- Soporte DIMMs memoria DDR2 600/533/400 MHz
- Posibilidad *overclocking* desde 100 MHz hasta 400 MHz en incrementos de 1 MHz
- Integración de LAN, USB y PCI-Express (sustituto AGP de hasta 4GB/s)

Diagrama
de
bloques
de la
placa base
ASUS
P5GD2-X

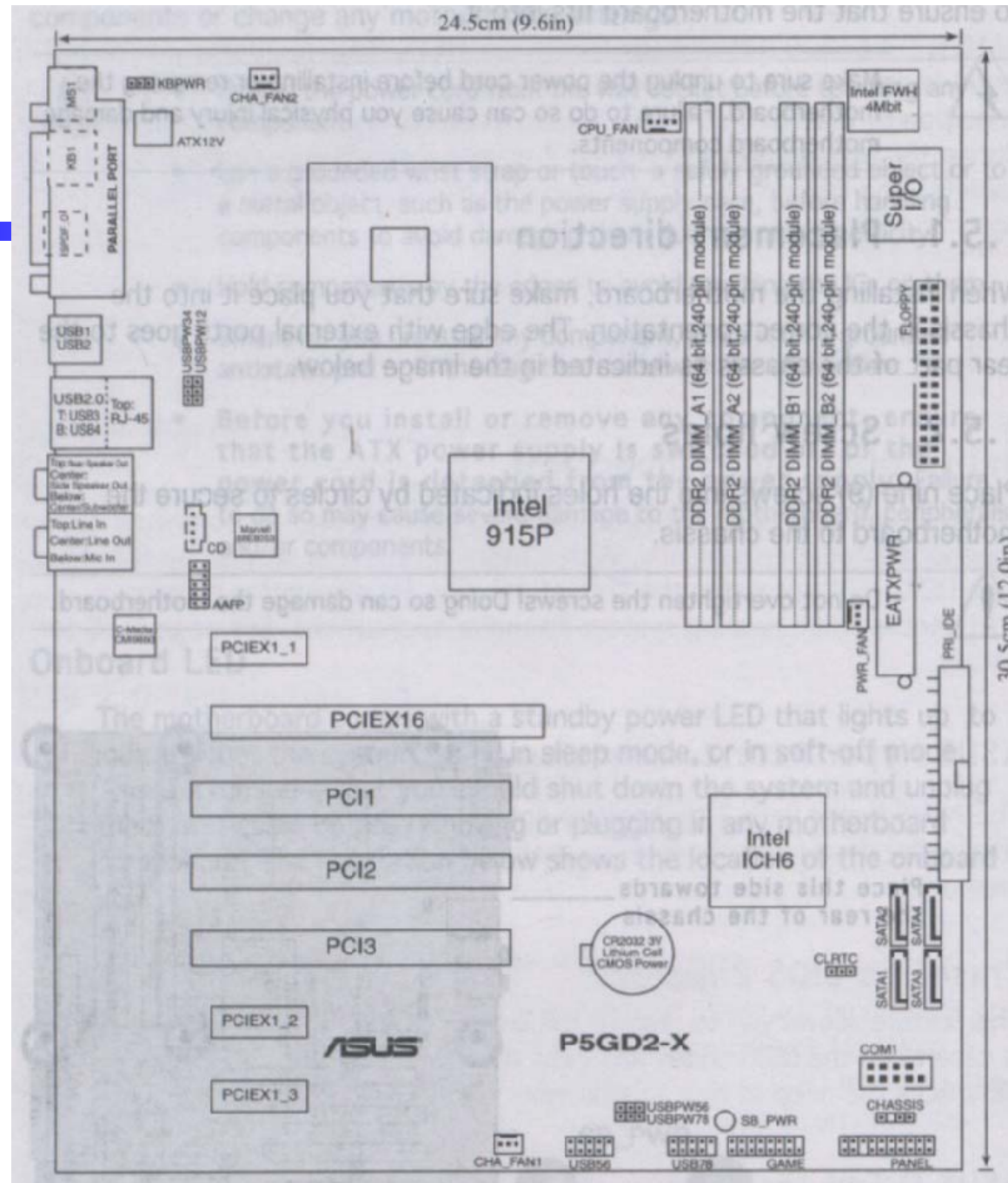
(con
chipset
Intel
82915P e
ICH6)



Esquema placa base P5GD2-X de ASUS.

“Puente norte”:
Intel 915P.

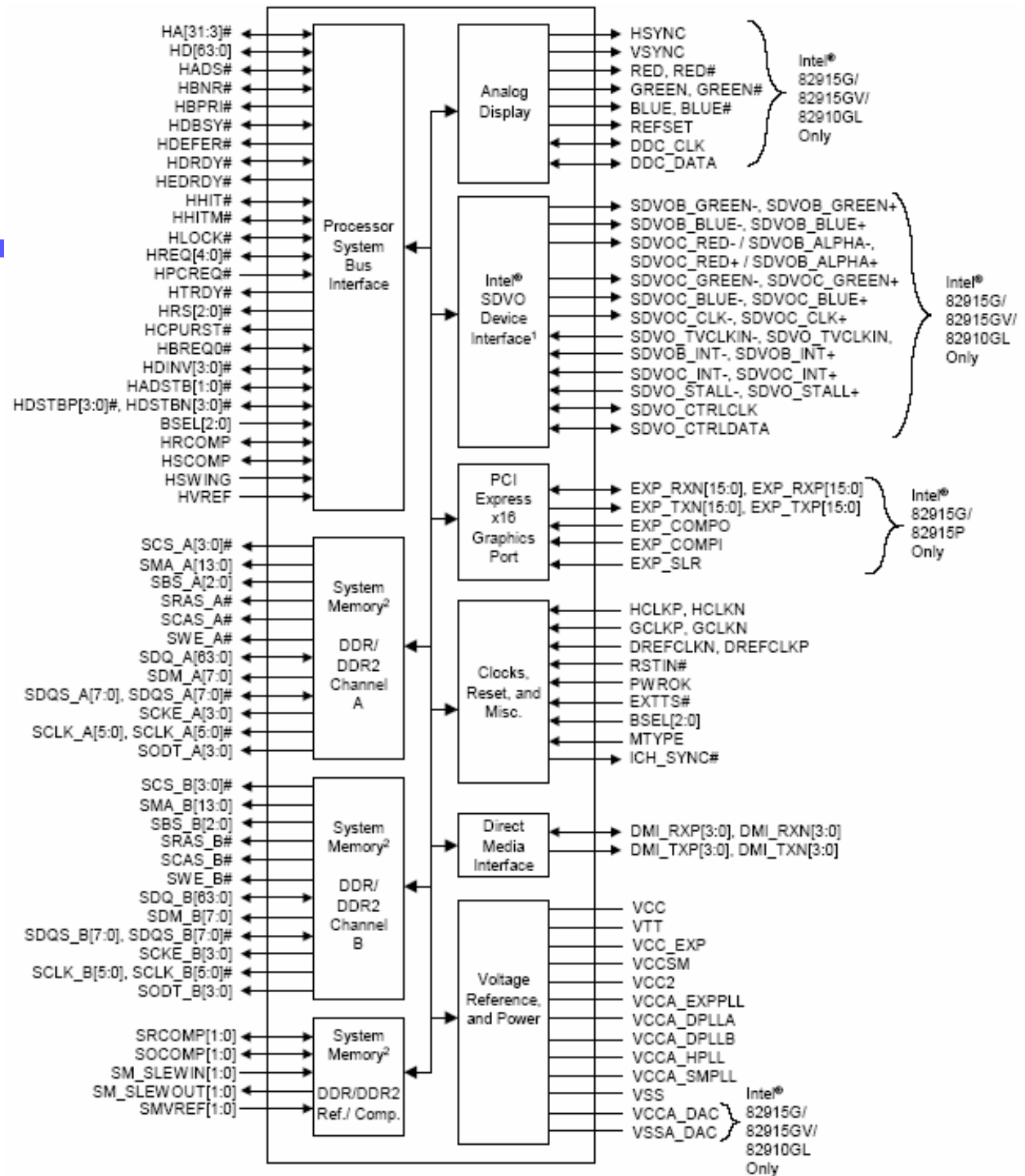
“Puente sur”:
Intel ICH6.



Chipsets para Pentium IV (3)

- “Puente norte” 915 (GMCH): interfaz con el procesador (FSB), DRAM, controlador gráfico (vía PCI-Express) y el “puente sur”.
- Módulo DMI (*Direct Media Interface*): es el que hace de interfaz con el ICH6 (“puente sur”) a 2GB/s (1GB/s en cada sentido), 100 MHz y 32 bits de datos.
- Módulo PCI-Express: puede dar soporte a PCI “tradicional” y AGP.
- En otros modelos de la familia (915G, 915GV, 910 GL, 915GL) se integra un controlador gráfico → De ahí módulos SDVO y “Analog display”.

Diagrama de bloques/señales del Intel 915 (“puente norte”).



Señales del módulo de interfaz con el procesador (I)

Fijarse que al igual que el 8088/8086, aparecen señales de arbitración de bus, de confirmación de dato leído, así como para la sincronización de la CPU con otros dispositivos (memorias principalmente).

Signal Name	Type	Description															
HDRDY#	I/O GTL+	Data Ready: This signal is asserted for each cycle that data is transferred.															
HEDRDY#	O GTL+	Early Data Ready: This signal indicates that the data phase of a read transaction will start on the bus exactly one common clock after assertion.															
HA[31:3]#	I/O GTL+	Host Address Bus: HA[31:3]# connect to the processor address bus. During processor cycles, the HA[31:3]# are inputs. The (G)MCH drives HA[31:3]# during snoop cycles on behalf of DMI and PCI Express Graphics Initiators. HA[31:3]# are transferred at 2x rate.															
HADSTB[1:0]#	I/O GTL+	Host Address Strobe: The source synchronous strobes used to transfer HA[31:3]# and HREQ[4:0] at the 2x transfer rate.															
HD[63:0]	I/O GTL+	Host Data: These signals are connected to the processor data bus. Data on HD[63:0] is transferred at 4x rate. Note that the data signals may be inverted on the processor bus, depending on the HDINV[3:0]# signals.															
HDSTBP[3:0]# HDSTBN[3:0]#	I/O GTL+	Differential Host Data Strobes: The differential source synchronous strobes are used to transfer HD[63:0] and HDINV[3:0]# at 4x transfer rate. These signals are named this way because they are not level sensitive. Data is captured on the falling edge of both strobes. Hence, they are pseudo-differential, and not true differential. <table border="1"> <thead> <tr> <th>Strobes</th> <th>Data</th> <th>Bits</th> </tr> </thead> <tbody> <tr> <td>HDSTBP3#, HDSTBN3#</td> <td>HD[63:48]</td> <td>HDINV3#</td> </tr> <tr> <td>HDSTBP2#, HDSTBN2#</td> <td>HD[47:32]</td> <td>HDINV2#</td> </tr> <tr> <td>HDSTBP1#, HDSTBN1#</td> <td>HD[31:16]</td> <td>HDINV1#</td> </tr> <tr> <td>HDSTBP0#, HDSTBN0#</td> <td>HD[15:0]</td> <td>HDINV0#</td> </tr> </tbody> </table>	Strobes	Data	Bits	HDSTBP3#, HDSTBN3#	HD[63:48]	HDINV3#	HDSTBP2#, HDSTBN2#	HD[47:32]	HDINV2#	HDSTBP1#, HDSTBN1#	HD[31:16]	HDINV1#	HDSTBP0#, HDSTBN0#	HD[15:0]	HDINV0#
Strobes	Data	Bits															
HDSTBP3#, HDSTBN3#	HD[63:48]	HDINV3#															
HDSTBP2#, HDSTBN2#	HD[47:32]	HDINV2#															
HDSTBP1#, HDSTBN1#	HD[31:16]	HDINV1#															
HDSTBP0#, HDSTBN0#	HD[15:0]	HDINV0#															
HHIT#	I/O GTL+	Hit: This signal indicates that a caching agent holds an unmodified version of the requested line. Also, driven in conjunction with HHITM# by the target to extend the snoop window.															
HHITM#	I/O GTL+	Hit Modified: This signal indicates that a caching agent holds a modified version of the requested line and that this agent assumes responsibility for providing the line. This signal is also driven in conjunction with HHIT# to extend the snoop window.															
HLOCK#	I/O GTL+	Host Lock: All processor bus cycles sampled with the assertion of HLOCK# and HADS#, until the negation of HLOCK# must be atomic (i.e., no DMI or PCI Express Graphics accesses to DRAM are allowed when HLOCK# is asserted by the processor).															
HPCREQ#	I GTL+ 2x	Precharge Request: The processor provides a "hint" to the (G)MCH that it is OK to close the DRAM page of the memory read request with which the hint is associated. The (G)MCH uses this information to schedule the read request to memory using the special "AutoPrecharge" attribute. This causes the DRAM to immediately close (Precharge) the page after the read data has been returned. This allows subsequent processor requests to more quickly access information on other DRAM pages, since it will no longer be necessary to close an open page prior to opening the proper page. Asserted by the requesting agent during both halves of Request Phase. The same information is provided in both halves of the request phase.															

Señales del módulo de interfaz con el procesador (II)

Signal Name	Type	Description
HREQ[4:0]#	I/O GTL+ 2x	Host Request Command: These signals define the attributes of the request. HREQ[4:0]# are transferred at 2x rate. They are asserted by the requesting agent during both halves of Request Phase. In the first half the signals define the transaction type to a level of detail that is sufficient to begin a snoop request. In the second half the signals carry additional information to define the complete transaction type. The transactions supported by the (G)MCH Host Bridge are defined in the Host Interface section of this document.
HTRDY#	O GTL+	Host Target Ready: This signal indicates that the target of the processor transaction is able to enter the data transfer phase.
HRS[2:0]#	O GTL+	Response Signals: These signals indicate the type of response as shown below: 000 = Response type 001 = Idle state 010 = Retry response 011 = Deferred response 100 = Reserved (not driven by (G)MCH) 101 = Hard Failure (not driven by (G)MCH) 110 = No data response 111 = Implicit Writeback 111 = Normal data response
BSEL[2:0]	I CMOS	Bus Speed Select: At the de-assertion of RSTIN#, the value sampled on these pins determines the expected frequency of the bus.
HRCOMP	I/O CMOS	Host RCOMP: Used to calibrate the Host GTL+ I/O buffers. This signal is powered by the Host Interface termination rail (VTT).
HSCOMP	I/O CMOS	Slew Rate Compensation: Compensation for the Host Interface.
HSWING	I A	Host Voltage Swing: This signal provides the reference voltage used by FSB RCOMP circuits. HSWING is used for the signals handled by HRCOMP.
HVREF	I A	Host Reference Voltage Reference: Voltage input for the data, address, and common clock signals of the Host GTL interface.

Signal Name	Type	Description										
HADS#	I/O GTL+	Address Strobe: The processor bus owner asserts HADS# to indicate the first of two cycles of a request phase. The (G)MCH can assert this signal for snoop cycles and interrupt messages.										
HBNR#	I/O GTL+	Block Next Request: This signal is used to block the current request bus owner from issuing new requests. This signal is used to dynamically control the processor bus pipeline depth.										
HBPRI#	O GTL+	Priority Agent Bus Request: The (G)MCH is the only Priority Agent on the processor bus. It asserts this signal to obtain the ownership of the address bus. This signal has priority over symmetric bus requests and will cause the current symmetric owner to stop issuing new transactions unless the HLOCK# signal was asserted.										
HBREQ0#	I/O GTL+	Bus Request 0: The (G)MCH pulls the processor's bus HBREQ0# signal low during HCPURST#. The processor samples this signal on the active-to-inactive transition of HCPURST#. The minimum setup time for this signal is 4 HCLKs. The minimum hold time is 2 clocks and the maximum hold time is 20 HCLKs. HBREQ0# should be tristated after the hold time requirement has been satisfied.										
HCPURST#	O GTL+	CPU Reset: The HCPURST# pin is an output from the (G)MCH. The (G)MCH asserts HCPURST# while RSTIN# is asserted and for approximately 1 ms after RSTIN# is de-asserted. The HCPURST# allows the processors to begin execution in a known state. Note that the Intel® ICH6 must provide processor frequency select strap set-up and hold times around HCPURST#. This requires strict synchronization between (G)MCH HCPURST# de-assertion and the Intel® ICH6 driving the straps.										
HDBSY#	I/O GTL+	Data Bus Busy: This signal is used by the data bus owner to hold the data bus for transfers requiring more than one cycle.										
HDEFER#	O GTL+	Defer: Signals that the (G)MCH will terminate the transaction currently being snooped with either a deferred response or with a retry response.										
HDINV[3:0]#	I/O GTL+	Dynamic Bus Inversion: Driven along with the HD[63:0] signals. Indicates if the associated signals are inverted or not. HDINV[3:0]# are asserted such that the number of data bits driven electrically low (low voltage) within the corresponding 16 bit group never exceeds 8. <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>HDINVx#</th> <th>Data Bits</th> </tr> </thead> <tbody> <tr> <td>HDINV3#</td> <td>HD[63:48]</td> </tr> <tr> <td>HDINV2#</td> <td>HD[47:32]</td> </tr> <tr> <td>HDINV1#</td> <td>HD[31:16]</td> </tr> <tr> <td>HDINV0#</td> <td>HD[15:0]</td> </tr> </tbody> </table>	HDINVx#	Data Bits	HDINV3#	HD[63:48]	HDINV2#	HD[47:32]	HDINV1#	HD[31:16]	HDINV0#	HD[15:0]
HDINVx#	Data Bits											
HDINV3#	HD[63:48]											
HDINV2#	HD[47:32]											
HDINV1#	HD[31:16]											
HDINV0#	HD[15:0]											

Chipsets para Pentium IV (4)

- “Puente sur” Controlador Intel de E/S ICH6:
 - DMI (*Direct Media Interface*): interfaz con el “puente norte”.
 - Soporte para PCI y PCI Express.
 - Controladores de Serial ATA e IDE para discos duros.
 - Audio (AC 97) y moden.
 - USB 2.0
 - LAN
 - Gestión de E/S: controladores de interrupciones 8259, DMAs 8237, *timer* 82C54, reloj de tiempo real, ...
 - Conexión LPC (*Low Pin Count*): conexión a la BIOS y otros dispositivos “antiguos”.

Chipsets para Pentium IV (5)

